

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-100700

(43)Date of publication of application : 13.04.2001

(51)Int.Cl. G09G 3/36  
G02F 1/133  
G09G 3/20

(21)Application number : 11-273114

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 27.09.1999

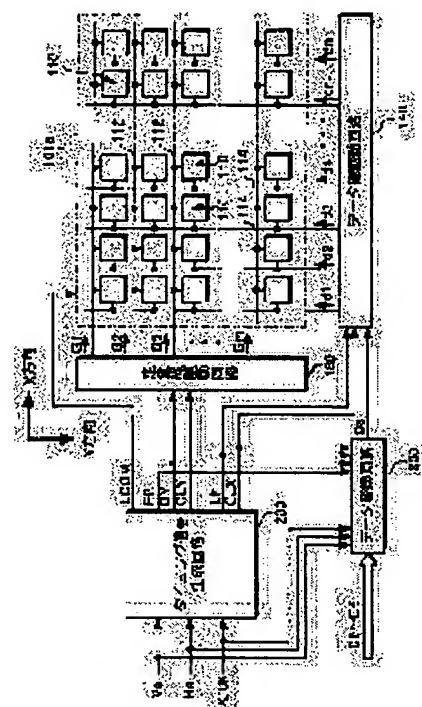
(72)Inventor : ITO AKIHIKO

(54) METHOD AND CIRCUIT FOR DRIVING ELECTROOPTICAL DEVICE, ELECTROOPTICAL DEVICE AND ELECTRONIC EQUIPMENT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To perform a high quality gradation display by binarizing a signal applied to a data line.

**SOLUTION:** A data conversion circuit 300 generates a binary signal Ds instructing the application of the signal turning on respective pixels 100 or the signal turning off them in respective plural pieces of sub-fields dividing one frame. A data line drive circuit 140 receives the binary signal Ds, and applies a voltage turning on the pixel or the voltage turning off it at every sub-field dividing one field, and is provided with two kinds or above of the voltages turning on, and the weighting at every sub-field is performed by the voltages. Thus, a minimum sub-field period is secured longer, and the binary signal applied to the pixel is written in surely.



## LEGAL STATUS

[Date of request for examination]

01.07.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**


---

**[Claim(s)]**

**[Claim 1]** The drive method of the electro-optics equipment characterized by to have the voltage of the voltage which receives the gradation data of each pixel for one screen for every frame, impresses the voltage made the voltage which is the drive method of the electro-optics equipment which carries out the on-off drive of each pixel based on these gradation data, and divided one frame, and which turns ON a pixel for two or more subfields of every, or OFF, and makes the aforementioned ON two or more kinds.

**[Claim 2]** Each of two or more subfields which are the drive circuits of the electro-optics equipment which drives each pixel which received the gradation data of each pixel for one screen for every frame, and was arranged corresponding to each intersection with two or more data lines and two or more scanning lines based on these gradation data characterized by providing the following, and divided one frame The data-conversion circuit which generates the binary signal which directs impression of the voltage which makes each pixel the voltage or OFF turned ON based on gradation data The scanning-line drive circuit which supplies the scanning signal which enables voltage impression to a pixel from the data line one by one to each of the aforementioned scanning line for every aforementioned subfield The data-line drive circuit which supplies the data signal for impressing the voltage made the voltage which turns ON the aforementioned pixel based on the binary signal generated in the aforementioned data-conversion circuit, or OFF while the aforementioned scanning signal is supplied to the aforementioned scanning line to the aforementioned data line Voltage means for switching which switch the voltage which turns ON the aforementioned pixel

**[Claim 3]** The drive circuit of the electro-optics equipment according to claim 2 characterized by having reversed the arrangement on the time-axis of the aforementioned subfield which impresses voltage, and reversing the arrangement on the time-axis of the aforementioned subfield also periodically by the adjoining aforementioned pixel.

**[Claim 4]** Each of two or more subfields which are electro-optics equipment which is characterized by providing the following, and which has two or more pixels arranged corresponding to each intersection with two or more scanning lines and two or more data lines, and divided one frame The data-conversion circuit which generates the binary signal which directs impression by the voltage which makes each pixel the voltage or OFF turned ON based on gradation data The scanning-line drive circuit which supplies the scanning signal which enables voltage impression to a pixel from the data line one by one to each of the aforementioned scanning line for every aforementioned subfield The data-line drive circuit which supplies the data signal for impressing the voltage made the voltage which turns ON the aforementioned pixel based on the binary signal generated in the aforementioned data-conversion circuit, or OFF while the aforementioned scanning signal is supplied to the aforementioned scanning line to the aforementioned data line Voltage means for switching which switch the voltage which turns ON the aforementioned pixel

**[Claim 5]** Electro-optics equipment according to claim 4 characterized by having reversed the arrangement on the time-axis of the aforementioned subfield which impresses voltage, and reversing the arrangement on the time-axis of the aforementioned subfield also periodically by the adjoining aforementioned pixel.

**[Claim 6]** The aforementioned pixel is electro-optics equipment according to claim 4 characterized by providing the opto electronics material pinched between the pixel electrode, the counterelectrode which countered the aforementioned pixel electrode, and the aforementioned pixel electrode and a counterelectrode, and the switching element which impresses the data signal supplied through the aforementioned data line by giving a scanning signal through the aforementioned scanning line to the aforementioned pixel electrode.

**[Claim 7]** Electro-optics equipment according to claim 4 characterized by providing the following The aforementioned pixel is a pixel electrode. The counterelectrode which countered the aforementioned pixel electrode The opto electronics material pinched between the aforementioned pixel electrode and the counterelectrode The selection circuitry which chooses either the voltage which turns on the aforementioned pixel, or the voltage to turn off according to the data signal memorized by the memory which memorizes the data signal supplied through the aforementioned data line by

giving a scanning signal through the aforementioned scanning line, and the aforementioned memory, and is impressed to the aforementioned pixel electrode

[Claim 8] Electro-optics equipment according to claim 4 to 7 characterized by carrying out level reversal of the aforementioned binary signal according to the level impressed to the aforementioned counterelectrode.

[Claim 9] Electro-optics equipment according to claim 4 to 7 characterized by reversing the level of the voltage which maintains uniformly the level impressed to the aforementioned counterelectrode, or is made to carry out level reversal periodically, and turns ON the aforementioned pixel on the basis of the level impressed to this counterelectrode for every fixed period.

[Claim 10] It is electro-optics equipment according to claim 7 which the aforementioned voltage means for switching have two or more voltage change circuits corresponding to each of two or more aforementioned scanning lines, and is characterized by each voltage change circuit switching voltage which turns ON the aforementioned pixel in the timing which synchronized with a scanning signal being supplied to the scanning line concerned.

[Claim 11] Electronic equipment characterized by having electro-optics equipment according to claim 4 to 10 as display.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the drive method, the drive circuit, electro-optics equipment, and electronic equipment of the electro-optics equipment which performs a gradation display control by PDM.

[0002]

[Description of the Prior Art] Electro-optics equipment, for example, the liquid crystal display using liquid crystal as an opto electronics material, is widely used for a display, a liquid crystal television, etc. of various information management systems as a display device which replaces a cathode-ray tube (CRT).

[0003] Here, the electro-optics equipment by the conventional technology is constituted as follows, for example. That is, conventional electro-optics equipment consists of opto-electronics-material slack liquid crystal with which it filled up between the pixel electrode arranged in the shape of a matrix, the element substrate in which a switching element like TFT (Thin Film Transistor : TFT) connected to this pixel electrode etc. was formed, the opposite substrate in which the counterelectrode which counters a pixel electrode was formed, and both [ these ] substrates. And in such composition, if a scanning signal is impressed to a switching element through the scanning line, the switching element concerned will be in switch-on. If the picture signal of the voltage according to gradation level is impressed to a pixel electrode through the data line in the case of this switch-on, the charge according to the voltage of a picture signal will be accumulated at the liquid crystal layer between the pixel electrode concerned and a counterelectrode. Accumulation of a charge [ in / the liquid crystal layer concerned / considering the switching element concerned as an OFF state ] is maintained by the own capacitive, own storage capacitance, etc. of a liquid crystal layer after a charge storage. Thus, each switching element is made to drive, and if the amount of charges to store up is controlled according to gradation level, since the orientation state of liquid crystal will change for every pixel, concentration will change for every pixel. For this reason, the gradation display of a liquid crystal display is attained.

[0004] Since some periods are sufficient as storing up a charge in the liquid crystal layer of each pixel, while choosing each scanning line as the 1st one by one by the scanning-line drive circuit, under the present circumstances, by the selection period of the scanning line [ 2nd ] The time-division-multiplex drive which communalized the scanning line and the data line about two or more pixels is attained by composition which samples the picture signal of the voltage according to gradation level to the data line which chose the data line one by one and was chosen as the 3rd by the data-line drive circuit.

[0005]

[The technical problem which invention will solve and to carry out] However, in the liquid crystal display by the conventional technology, the picture signal impressed to the data line corresponding to gradation level is an analog signal. For this reason, electrical circuits, such as a D/A-conversion circuit and an operational amplifier, will be needed for the circumference circuit of electro-optics equipment, and the increase in the cost quantity of the whole equipment or power consumption will be invited to it. Furthermore, since it originates in properties, such as these D/A-conversion circuits and an operational amplifier, and heterogeneity, such as various kinds of wiring resistance, and display nonuniformity occurs, there is a problem that a quality display is very difficult, and it becomes remarkable when performing a high definition display especially.

[0006] The place which this invention is made in view of the situation mentioned above, and is made into the purpose is to offer the electro-optics equipment in which a quality and high definition gradation display is possible, its drive method, its drive circuit, and electronic equipment using this electro-optics equipment further.

[0007]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the 1st invention receives the

gradation data of each pixel for one screen for every frame. It is the drive method of the electro-optics equipment which carries out the on-off drive of each pixel based on these gradation data. The voltage made the voltage which divided one frame, and which turns ON a pixel for two or more subfields of every, or OFF is impressed, and it is characterized by having the voltage of the voltage made the aforementioned ON two or more kinds.

[0008] As a result of carrying out PDM of the impression period of the signal which turns on a pixel (OFF) in one frame according to the gradation data of the pixel concerned according to this 1st invention, the gradation display by control of an effective-voltage value will be performed. Under the present circumstances, in each subfield, since what is necessary is just to direct ON or OFF of a pixel, a binary signal can be used as an indication signal to a pixel. Therefore, in this invention, since the impression signal to a pixel turns into a digital signal, as a result of stopping the display nonuniformity resulting from heterogeneity, such as an element property and wiring resistance, a quality and high definition gradation display is attained.

[0009] Moreover, in this invention, since it has the voltage of the voltage which turns ON a pixel in a subfield two or more kinds, the number of a subfield can be lessened compared with the case where the voltage of a subfield is set up with one value, and even if it is a subfield in the minimum period, the period can be secured comparatively long. Consequently, the data signal corresponding to gradation level can be certainly written in each pixel, and the gradation display control by the electro-optics equipment concerned can be performed correctly.

[0010] In addition, by this invention, it uses in implications called the period taken to form the raster picture of one sheet a horizontal scanning and by carrying out a vertical scanning in one frame synchronizing with the horizontal scanning signal and the vertical-scanning signal.

[0011] Moreover, the 2nd invention receives the gradation data of each pixel for one screen for every frame. In each of two or more subfields which are the drive circuits of the electro-optics equipment which drives each pixel arranged corresponding to each intersection with two or more data lines and two or more scanning lines based on these gradation data, and divided one frame The data-conversion circuit which generates the binary signal which directs impression of the voltage which makes each pixel the voltage or OFF turned ON based on gradation data, The scanning-line drive circuit which supplies the scanning signal which enables voltage impression to a pixel from the data line one by one to each of the aforementioned scanning line for every aforementioned subfield, The data-line drive circuit which supplies the data signal for impressing the voltage made the voltage which turns ON the aforementioned pixel based on the binary signal generated in the aforementioned data-conversion circuit, or OFF while the aforementioned scanning signal is supplied to the aforementioned scanning line to the aforementioned data line, The drive circuit of the electro-optics equipment characterized by providing the voltage means for switching which switch the voltage which turns ON the aforementioned pixel is offered.

[0012] This 2nd invention embodies the 1st above-mentioned invention as a drive circuit of electro-optics equipment, and does so the same effect as the 1st above-mentioned invention.

[0013] Moreover, it is desirable to reverse the arrangement on the time-axis of the aforementioned subfield which impresses voltage, and to reverse the arrangement on the time-axis of the aforementioned subfield also periodically by the adjoining aforementioned pixel.

[0014] Next, the 3rd invention is electro-optics equipment which has two or more pixels arranged corresponding to each intersection with two or more scanning lines and two or more data lines, and is set to each of two or more subfields which divided one frame. The data-conversion circuit which generates the binary signal which directs impression by the voltage which makes each pixel the voltage or OFF turned ON based on gradation data, The scanning-line drive circuit which supplies the scanning signal which enables voltage impression to a pixel from the data line one by one to each of the aforementioned scanning line for every aforementioned subfield, The data-line drive circuit which supplies the data signal for impressing the voltage made the voltage which turns ON the aforementioned pixel based on the binary signal generated in the aforementioned data-conversion circuit, or OFF while the aforementioned scanning signal is supplied to the aforementioned scanning line to the aforementioned data line, The electro-optics equipment characterized by providing the voltage means for switching which switch the voltage which turns ON the aforementioned pixel is offered.

[0015] This 3rd invention embodies the 1st above-mentioned invention as electro-optics equipment, and does so the same effect as the 1st above-mentioned invention.

[0016] Moreover, it is desirable to reverse the arrangement on the time-axis of the aforementioned subfield which impresses voltage, and to reverse the arrangement on the time-axis of the aforementioned subfield also periodically by the adjoining aforementioned pixel.

[0017] In the mode of 1 of this 3rd invention, the aforementioned pixel possesses the opto electronics material pinched between the pixel electrode, the counterelectrode which countered the aforementioned pixel electrode, and the aforementioned pixel electrode and a counterelectrode, and the switching element which impresses the data signal

supplied through the aforementioned data line by giving a scanning signal through the aforementioned scanning line to the aforementioned pixel electrode.

[0018] In other modes of this invention moreover, the aforementioned pixel The opto electronics material pinched between the pixel electrode, the counterelectrode which countered the aforementioned pixel electrode, and the aforementioned pixel electrode and a counterelectrode, The memory which memorizes the data signal supplied through the aforementioned data line by giving a scanning signal through the aforementioned scanning line, The selection circuitry which chooses either the voltage which turns on the aforementioned pixel, or the voltage to turn off according to the data signal memorized by the aforementioned memory, and is impressed to the aforementioned pixel electrode is provided.

[0019] In the electro-optics equipment concerning this invention, it is desirable to carry out level reversal of the aforementioned binary signal according to the level impressed to the aforementioned counterelectrode.

[0020] Moreover, it is desirable to reverse the level of the voltage which maintains uniformly the level impressed to the aforementioned counterelectrode, or is made to carry out level reversal periodically, and turns ON the aforementioned pixel on the basis of the level impressed to this counterelectrode for every fixed period.

[0021] Furthermore, the aforementioned voltage means for switching have two or more voltage change circuits corresponding to each of two or more aforementioned scanning lines, and, as for each voltage change circuit, it is desirable to switch voltage which turns ON the aforementioned pixel in the timing which synchronized with a scanning signal being supplied to the scanning line concerned.

[0022] By considering as such composition, voltage impressed to a pixel can be alternating-current-ized, and degradation of quality of image can be prevented.

[0023] This invention manufactures or sells above-mentioned electro-optics equipment itself alone, and also can be carried out in the mode of manufacturing or selling it, using this electro-optics equipment as the electronic equipment which it had as display.

[0024]

[Embodiments of the Invention] Hereafter, the operation gestalt of this invention is explained with reference to a drawing. First, the electro-optics equipment concerning this operation gestalt is liquid crystal equipment which used liquid crystal as an opto electronics material, an element substrate and an opposite substrate keep a fixed gap mutual, and are stuck so that it may mention later, and it has the composition that opto-electronics-material slack liquid crystal is pinched by this gap. Moreover, with the electro-optics equipment concerning this operation gestalt, a semiconductor substrate is used as an element substrate and a circumference drive circuit etc. is formed here with the transistor which drives a pixel.

[0025] <the drive method of the electro-optics equipment in this operation gestalt> -- in order to make easy first an understanding of the equipment concerning this operation gestalt, the drive method of the electro-optics equipment by this operation gestalt is explained

[0026] Generally, in liquid crystal equipment using liquid crystal as an opto electronics material, the relation of the voltage and the permeability (or reflection factor) which are impressed to a liquid crystal layer has a relation as shown in drawing 5, if the normally black mode in which a black display is performed in voltage the state where it does not impress is taken for an example. That is, permeability increases nonlinear and is saturated as the voltage actual value (the pulse width of ON state voltage is changed setting voltage as constant) to a liquid crystal layer increases. In addition, with permeability here, the minimum value and the highest value of the amount of transmitted lights are normalized as 0% and 100%, respectively.

[0027] Here, the gradation (shade) data in which the electro-optics equipment concerning this operation gestalt shall perform 64 gradation displays, and is shown by 6 bits shall direct the permeability shown in this drawing, respectively. Under the present circumstances, when voltage impressed to a liquid crystal layer in each permeability was set to V0-V63, respectively, in the former, it had become the composition of impressing such voltage V0 - V63 the very thing to a liquid crystal layer. For this reason, especially about the voltage V1-V62 corresponding to middle gradation, it is easy to become uneven under the influence by the property of analog circuits, such as a D/A-conversion circuit and an operational amplifier, and dispersion, such as various kinds of wiring resistance, for a pixel. Therefore, with the conventional composition, the quality and high definition gradation display was difficult.

[0028] Then, with this operation gestalt, voltage [ as opposed to a liquid crystal layer as follows ] is impressed.

[0029] (1) Divide one frame into two or more subfields, and perform voltage impression to a liquid crystal layer in each subfield unit.

[0030] The voltage impressed to a liquid crystal layer in each subfield is either of two kinds, Von and Voff. Here, voltage Von is the voltage which turns ON a pixel, i.e., the voltage which can contribute to raising the permeability of a liquid crystal layer. Moreover, voltage Voff is the voltage which turns OFF a pixel, i.e., the voltage which does not



contribute to raising the permeability of a liquid crystal layer at all.

[0031] (2) Determine whether voltage impression is performed in which subfield by the gradation data corresponding to the pixel.

[0032] It will be dependent on the impression time how much voltage Von contributes to elevation of the permeability of a liquid crystal layer. Therefore, the subfield which impresses voltage Von is chosen according to gradation data, when gradation data are small, impression time of voltage Von is shortened, effective applied voltage to a liquid crystal layer is made small, when gradation data are large, impression time of voltage Von is lengthened, and effective applied voltage to a liquid crystal layer is enlarged.

[0033] (3) In case one frame is divided into two or more subfields, you may make the length of each subfield uneven.

[0034] That is, a subfield with long time length and the large degree which impression of voltage Von contributes to elevation of liquid crystal permeability, and time length are short, and the degree of the contribution of impression of voltage Von to elevation of liquid crystal permeability may prepare a small subfield. In this case, you may make the length of each subfield equivalent to the weight of each bit of gradation data.

[0035] (4) Voltage Von makes nearby [ of other subfields ] low voltage in a part of subfields.

[0036] This is for avoiding the insufficient problem of the data write time produced in case a multi-gradation display is performed. That is, it is as follows.

[0037] When the method of controlling the height of gradation by the merits and demerits of impression time is taken like this operation gestalt, in order to change gradation by fine serration width of face, it is necessary to prepare a subfield with very short time length.

[0038] However, electro-optics equipment like a liquid crystal panel will require a certain amount of time, in order to give voltage Von or Voff to the pixel of a large number located in a line in all directions, to perform image display and to perform voltage impression to all pixels. When a subfield is too short, it becomes impossible and for no voltage impression to pixels to carry out within the period of this subfield. Thus, since a limitation is to shorten a subfield, it is difficult to realize a high gradation display only by shortening the time length of a subfield.

[0039] Then, with this operation form, in preparing the subfield with the low degree of contribution to the rise of the permeability of liquid crystal, voltage Von in the subfield was made into voltage lower than the thing of other subfields, instead the time length of the subfield concerned was made longer than original time length (namely, time length at the time of using the same voltage Von as other subfields).

[0040] Specifically, in this operation form, although the voltage VH in drawing 4 is impressed as voltage Von in the subfield corresponding to the high order bit of gradation data, voltage VL is impressed as voltage Von by the subfield corresponding to the lower bit. As for voltage Voff, any subfield uses voltage V0 (=0V).

[0041] In addition, voltage Von is good also not only as two kinds but three kinds or more.

[0042] <Electric composition>, next the electric composition of the electro-optics equipment concerning this operation form are explained. The composition of the circuit where drawing 1 was formed in the element substrate is shown.

[0043] As shown in drawing 1, two or more scanning lines 112 are extended and formed in the direction of X (line), and two or more data lines 114 are extended and formed in viewing-area 101a on an element substrate along the direction of Y (train). And the pixel 110 was formed corresponding to each intersection with the scanning line 112 and the data line 114, and is arranged in the shape of a matrix. With this operation form, although the total number of the scanning line 112 is made into m, and the total number of the data line 114 is made into n for convenience (m and n are two or more integers, respectively) and being explained as matrix type display of a m line xn train, it is not the meaning of explanation which limits this invention to this.

[0044] As concrete composition of a pixel 110, what is shown in drawing 2 (a) is mentioned, for example. this composition -- while the source is connected to the data line 114 and a drain is connected to the pixel electrode 118 for the gate of a transistor (MOSFET) 116 at the scanning line 112, respectively -- between the pixel electrode 118 and counterelectrodes 108 -- an opto electronics material -- liquid crystal 105 is pinched and the liquid crystal layer is formed Here, the storage capacitance 119 is formed between the pixel electrode 118 and LCOM mentioned later. This storage capacitance is the capacity prepared in order to maintain this applied voltage almost uniformly [ required time ], after voltage is impressed to the pixel electrode 118 through a transistor 116. With this operation gestalt, although the storage capacitance 119 was formed between the pixel electrode 118 and LCOM, you may form it in the pixel electrode 118, between the grounding potentials GND and the pixel electrode 118, and scanning-line 112 grade. Moreover, a counterelectrode 108 is a transparent electrode formed in the whole surface of an opposite substrate so that it may counter with the pixel electrode 118.

[0045] With the composition shown in drawing 2 (a), only one channel type is used as a transistor 116. Therefore, if the applied voltage to the pixel electrode 118 reaches low voltage rather than the voltage on the scanning line 112 only in the threshold voltage of a transistor 116 in case charge to the pixel electrode 118 is performed through a transistor 116

from the data line 114, a transistor 116 will be in an OFF state and the charge to the pixel electrode 118 will stop. For this reason, when the applied voltage to the scanning line 112 is not higher than the applied voltage to the data line 114 by the threshold voltage of a transistor 116, applied voltage to the pixel electrode 118 cannot be made in agreement with the voltage on the data line 114, but offset voltage will arise among both voltage.

[0046] On the other hand, the voltage on the data line 114 can be made to impress to the pixel electrode 118 with a very few error, without producing the composition which combined the P channel type transistor and the N channel type transistor complementary, then such offset voltage, as shown in drawing 2 (b). However, with this complementary-type composition, since it will be necessary to supply exclusive level mutually as a scanning signal, two of the scanning lines 112a and 112b are needed to the pixel 110 of one line.

[0047] In drawing 1, the timing signal generation circuit 200 is equipment which generates various kinds of timing signals, clock signals, etc. based on the vertical-scanning signal Vs, the horizontal scanning signal Hs, and the dot clock signal DCLK which are supplied from the high order equipment which is not illustrated. It is as follows when main things are enumerated among the signals generated by this timing signal generation circuit 200.

[0048] a. the alternating current-ized drive logic signal FR -- this alternating current-ized drive logic signal FR specifies H level of the alternating current-ized driving signal LCOM mentioned later, and L level

[0049] b. the alternating current-ized driving signal LCOM -- this alternating current-ized driving signal LCOM is impressed to the counterelectrode 108 (refer to drawing 2) of an opposite substrate. In this operation gestalt, the alternating current-ized driving signal LCOM repeats level reversal from VCC (H level) for every frame in the condition said from L level to H level to V0 (L level). And the alternating current-ized driving signal LCOM is in a phase by 1 of the latch signal LP clock to the alternating current-ized drive logic signal FR.

[0050] c. a start pulse DY -- this start pulse DY is a pulse signal outputted to the beginning of a subfield. With this operation gestalt, one frame is divided into 15 and subfields Sf0-Sf14 are formed. Therefore, this start pulse signal DY will be outputted in the beginning of each subfield of \*\*\*\*\* and others.

[0051] d. a clock signal CLY -- this clock signal CLY is a signal which specifies the horizontal scanning period by the side of a scan (Y side)

[0052] e. The latch signal LP of latch signal LP \*\* is a pulse signal outputted to the beginning of a horizontal scanning period, and is outputted at the time of level changes (namely, a standup and falling) of a clock signal CLY.

[0053] f. a clock signal CLX -- this clock signal CLX is a signal specified by the so-called dot clock

[0054] The above is the outline of the main signals generated by the timing signal generation circuit 200.

[0055] In drawing 1, the scanning-line drive circuit 130 is called so-called Y shift register, transmits the start pulse DY supplied to the beginning of a subfield based on a clock signal CLY, and are the scanning signals G1 and G2, G3, --, a thing exclusively supplied one by one as Gm at each of the scanning line 112.

[0056] Moreover, the data-line drive circuits 140 supply n latched binary signals Ds to the data line 114 which corresponds, respectively all at once in the next horizontal scanning period as data signals d1, d2, d3, --, dn, after [ which is equivalent to the number of the data line 114 in a binary signal Ds in a certain horizontal scanning period ] latching n pieces one by one. The concrete composition of this data-line drive circuit 140 is as being shown in drawing 3.

[0057] As shown in drawing 3, this data-line drive circuit 140 is constituted by the X shift register 1410, the 1st latch circuit 1420, the 2nd latch circuit 1430, and the voltage-selection circuit 1440.

[0058] Here, the X shift register 1410 transmits the latch signal LP supplied to the beginning of a horizontal scanning period based on a clock signal CLX, and supplies it exclusively one by one as latch signals S1, S2, S3, --, Sn.

[0059] The 1st latch circuit 1420 latches a binary signal Ds one by one in falling of the latch signals S1, S2, S3, --, Sn.

[0060] The 2nd latch circuit 1430 latches each of the binary signal Ds latched by the 1st latch circuit 1420 all at once in falling of the latch signal LP, and outputs a signal respectively.

[0061] Since the voltage-selection circuit 1440 chooses and outputs voltage Von or Voff in response to the signal outputted from the 2nd latch circuit 1430, it is constituted by two switching elements. And in the voltage-selection circuit 1440, according to the signal latched by the 2nd latch circuit 1430, either is chosen among voltage Von or Voff (LCOM), and data signals d1, d2, d3, --, dn are supplied to each data line 114.

[0062] Next, the voltage change circuit 1450 outputs voltage VL as Von in subfields Sf0-Sf7, and outputs voltage VH as Von in other subfields. Thereby, weighting of the data signals d1-dn outputted from the aforementioned voltage-selection circuit 1440 is carried out by voltage VH and VL.

[0063] The reference voltage generating circuit 1451 which the voltage change circuit 1450 is specifically constituted here as shown in drawing 4, and generates the voltage VH and VL according to the H/L level of LCOM in response to the alternating current-ized driving signal LCOM. The flip-flop circuit 1452 by which the period set of the subfields Sf0-Sf7 is carried out, and period reset of the subfields Sf8-Sf14 is carried out, It is constituted by the switching element



1453 which chooses the voltage  $V_H$  and  $V_L$  outputted from the aforementioned reference voltage generating circuit 1451 in response to the output signal of this flip-flop circuit 1452.

[0064] Thereby, the voltage change circuit 1450 outputs  $V_{on}$  which has voltage  $V_L$  at the time of subfields  $Sf_0$ - $Sf_7$ , and outputs  $V_{on}$  which has voltage  $V_H$  at the time of subfields  $Sf_8$ - $Sf_{14}$ .

[0065] Now, in this way, in order to write voltage  $V_0$ ,  $V_L$ , and  $V_H$  in a pixel according to gradation level every subfields  $Sf[Sf_0-]14$ , it is necessary to change the gradation data corresponding to a pixel into the signal which directs either of such voltage in a certain form. It is the data-conversion circuit 300 in drawing 1 which performs this conversion.

[0066] This data-conversion circuit 300 has the composition of changing into a binary signal  $D_s$  (0 or 1) the 6-bit gradation data  $D_0$ - $D_5$  which are supplied synchronizing with the vertical-scanning signal  $V_s$ , the horizontal scanning signal  $H_s$ , and the dot clock signal  $DCLK$ , and correspond for every pixel every subfields  $Sf[Sf_0-]14$ .

[0067] Moreover, the data-conversion circuit 300 needs to change the gradation data  $D_0$ - $D_5$  into a binary signal  $D_s$ . Specifically, the data-conversion circuit 300 has composition which outputs the binary signal  $D_s$  corresponding to the gradation data  $D_0$ - $D_5$  based on the content shown in drawing 7.

[0068] In addition, about this binary signal  $D_s$ , since it is necessary to output synchronizing with operation in the scanning-line drive circuit 130 and the data-line drive circuit 140, the start pulse  $DY$ , the clock signal  $CLY$  which synchronizes with a horizontal scanning, and the latch signal  $LP$  which specifies the beginning of a horizontal scanning period and the clock signal  $CLX$  equivalent to the dot clock signal  $DCLK$  are supplied to the data-conversion circuit 300. As mentioned above, moreover, in the data-line drive circuit 140 In the horizontal scanning period of the degree after the 1st latch circuit 1420 latches a binary signal  $D_s$  to the dot order following target in a certain horizontal scanning period Since the 2nd latch circuit 1430 has composition supplied to each data line 114 all at once as data signals  $d_1$ ,  $d_2$ ,  $d_3$ , --,  $d_n$ , the data-conversion circuit 300 As compared with operation in the scanning-line drive circuit 130 and the data-line drive circuit 140, it has composition which outputs a binary signal  $D_s$  to the timing which precedes only 1 horizontal scanning period.

[0069] Next, the concrete composition of the data-conversion circuit 300 for generating the binary signal  $D_s$  mentioned above is explained. Here, drawing 6 is the block diagram showing the circuitry of this data-conversion circuit 300.

Moreover, drawing 7 is the table of truth value showing the function of this data-conversion circuit 300.

[0070] As shown in drawing 6, the data-conversion circuit 300 is constituted by the drive pattern memory 301.

[0071] The drive pattern memory 301 has memorized the 1-bit on-off data (refer to drawing 7) which specify ON/OFF of a pixel for every combination of a subfield number and gradation data. And a subfield number and gradation data are given to the drive pattern memory 301 as the address.

[0072] Here, a subfield number is a number of each subfield in one frame, and are one to "0" - "14" of values. While various idea \*\*\*\* carry out counting of the start pulse  $DY$  to the interior of the data-conversion circuit 300 about the method of generating this subfield number, it is preparing the counter which resets the counter result concerned by level changes (a standup and falling) of the alternating current-ized drive \*\*\*\* signal  $FR$ , and referring to the count result concerned, and it is also possible to recognize the present subfield and to set up a subfield number.

[0073] Moreover, drawing 7 shows the relation with the binary signal  $D_s$  (voltage  $V_{on}$ , selection of  $V_{off}$  to a subfield number) to gradation data. That is, the on-off data which become the drive pattern memory 301 from "1" and "0" in the table of truth value shown in drawing 7 are memorized.

[0074] And the drive pattern memory 301 turns and outputs the binary signal  $D_s$  corresponding to the combination of the subfield number and gradation data which are obtained by doing in this way to the data-line drive circuit 140.

[0075] And when voltage  $V_{on}$  is chosen by the binary signal  $D_s$ , when a subfield is  $Sf_7$  from  $Sf_0$ , weighting is carried out by voltage  $V_L$ , and it is changed into the data signals  $d_1$ - $d_n$  in which weighting was carried out by voltage  $V_H$  by the voltage change circuit 1450 and the voltage-selection circuit 1440 when a subfield is  $Sf_{14}$  from  $Sf_8$  (namely, when on-off data are "1").

[0076] Next, the voltage impressed for every subfield corresponding to gradation data is explained concretely.

[0077] First, when gradation data are (000001), the permeability of the pixel concerned should be made  $1.59(=1/63)\%$ , and, for that, it is necessary to impress the effective-voltage value  $V_1$  of illustration to a pixel. Then, with this operation form, voltage to the pixel electrode 118 is impressed so that the voltage impressed between the pixel electrode 118 of the pixel concerned and a counterelectrode 108 may serve as  $V_{on}=V_L$  in subfields  $Sf_0$  and  $Sf_1$  and may serve as  $V_{off}=V_0(=0V)$  in other subfields. Here, since the effective-voltage value impressed to a pixel is calculated by the square root which continued and equalized the square of voltage instantaneous value to one period (frame), it can impress the time which multiplied the length of subfields  $Sf_0$  and  $Sf_1$  by 2 ( $V_1/V_L$ ) to one frame, then the effective-voltage value  $V_1$  corresponding to gradation data (000001) to a pixel.

[0078] Moreover, when gradation data are (000010), the permeability of the pixel concerned should be made 3.17

( $=2/63$ ) %, and, for that, it is necessary to impress the effective-voltage value  $V_2$  of illustration to a pixel. Then, with this operation form, voltage to the pixel electrode 118 is impressed so that the voltage impressed between the pixel electrode 118 of the pixel concerned and a counterelectrode 108 may serve as  $V_{on}=V_L$  in subfields  $Sf_0$ ,  $Sf_1$ , and  $Sf_2$  and may serve as  $V_{off}=V_0$  (0V) in other subfields. Here, since it asks by the square root which continued and equalized the square of voltage instantaneous value to one period (one frame), the effective-voltage value impressed to a pixel is the length of subfields  $Sf_0$ - $Sf_2$  to one frame 2 ( $V_2/V_L$ ). The time by which it multiplied, then the effective-voltage value  $V_2$  corresponding to gradation data (000010) can be impressed to a pixel.

[0079] Similarly, when gradation data are (000011), you should make the permeability of the pixel concerned 4.76 ( $=3/63$ ) %. Then, with this operation gestalt, voltage to the pixel electrode 118 is impressed so that the voltage impressed between the pixel electrode 118 of the pixel concerned and a counterelectrode 108 may serve as  $V_{on}=V_L$  in subfields  $Sf_0$ - $Sf_3$  and may serve as  $V_{off}=V_0$  ( $=0V$ ) in other subfields. Here, since the effective-voltage value impressed to a pixel is calculated by the square root which continued and equalized the square of voltage instantaneous value to one period (one frame), it can impress the time which multiplied the length of subfields  $Sf_0$ - $Sf_3$  by 2 ( $V_3/V_L$ ) to one frame, then the effective-voltage value  $V_3$  corresponding to gradation data (000011) to a pixel.

[0080] Furthermore, when gradation data are (001000), the permeability of the pixel concerned should be made 12.7 ( $=8/63$ ) %, and, for that, it is necessary to impress the effective-voltage value  $V_8$  of illustration to a pixel. Then, with this operation gestalt, voltage to the pixel electrode 118 is impressed so that the voltage impressed between the pixel electrode 118 of the pixel concerned and a counterelectrode 108 may consider as  $V_{on}=V_L$  in a subfield  $Sf_0$ , may consider as  $V_{on}=V_H$  in a subfield  $Sf_8$  and may serve as  $V_{off}=V_0$  ( $=0V$ ) in the remaining subfield. By impression of this voltage, the effective-voltage value  $V_8$  corresponding to gradation data (001000) can be impressed to a pixel to one frame.

[0081] Hereafter, voltage impression to a pixel will be similarly performed about other gradation data by setting up the time and voltage of the subfields  $Sf_4$ - $Sf_{14}$  to gradation data.

[0082] Thus, although the voltage impressed to the liquid crystal layer concerned for every subfield by considering as the composition which impresses the voltage according to gradation data to a pixel to subfields  $Sf_0$ - $Sf_{14}$  is  $V_H$ ,  $V_L$ , and  $V_0$ , the display of 64 gradation is attained corresponding to each permeability. In addition, although the period of the subfields  $Sf_1$ - $Sf_{14}$  illustrated to drawing 8 is made into width of face equal for convenience, the length may differ separately.

[0083] <Operation>, next operation of the electro-optics equipment concerning the operation gestalt mentioned above are explained. Drawing 8 is a timing chart for explaining operation of this electro-optics equipment.

[0084] First, the alternating current-ized driving signal LCOM carries out level reversal at every one frame (1f), and is impressed to a counterelectrode 108. On the other hand, a start pulse DY is supplied at the time of the start of each subfield which divided one frame (1f) as mentioned above.

[0085] Here, in one frame (1f) from which the alternating current-ized driving signal LCOM serves as L level, if the start pulse DY which specifies the start of a subfield  $Sf_0$  is supplied, the scanning signals  $G_1$  and  $G_2$ ,  $G_3$ , --,  $G_m$  will be exclusively outputted one by one to a period (1Va) by the transfer according to the clock signal CLY in the scanning-line drive circuit 130 (refer to drawing 1). In addition, the period (1Va) is set as the period still shorter than the shortest subfield.

[0086] Now, by  $G_m$ 's having the scanning signals  $G_1$  and  $G_2$ ,  $G_3$ , --, the pulse width that is equivalent to the half period of a clock signal CLY, respectively, and counting from a top, the scanning signal  $G_1$  corresponding to 1 Motome's scanning line 112 has the composition that only the half period of a clock signal CLY is outputted by being delayed at least, after a start pulse DY is supplied and a clock signal CLY starts first. Therefore, after a start pulse DY is supplied to the beginning of a subfield before the scanning signal  $Y_1$  is outputted, one shot ( $G_0$ ) of the latch signal LP will be supplied to the data-line drive circuit 140.

[0087] Then, the case where one shot ( $G_0$ ) of this latch signal LP is supplied is examined. First, if one shot ( $G_0$ ) of this latch signal LP is supplied to the data-line drive circuit 140, it will be transmitted based on the clock signal CLX in the data-line drive circuit 140 (refer to drawing 3), and the latch signals  $S_1$ ,  $S_2$ ,  $S_3$ , --,  $S_n$  will be exclusively outputted to a horizontal scanning period (1H) one by one. In addition, the latch signals  $S_1$ ,  $S_2$ ,  $S_3$ , --,  $S_n$  have the pulse width which is equivalent to the half period of a clock signal CLX, respectively.

[0088] Under the present circumstances, the 1st latch circuit 1420 in drawing 3 In falling of the latch signal  $S_1$ , it counts from a top. 1 Motome's scanning line 112, Count from the left, and latch the binary signal  $D_s$  to the pixel 110 corresponding to intersection with 1 Motome's data line 114, next it sets in falling of the latch signal  $S_2$ . It counts from a top, and it counts from the left with 1 Motome's scanning line 112, the binary signal  $D_s$  to the pixel 110 corresponding to intersection with 2 Motome's data line 114 is latched, and it counts from a top similarly hereafter. 1 Motome's scanning line 112, It counts from the left and the binary signal  $D_s$  to the pixel 110 corresponding to intersection with n

Motome's data line 114 is latched.

[0089] By this, in drawing 1, the binary signal Ds for the pixel of one line corresponding to intersection with upper shell 1 Motome's scanning line 112 will be first latched to the dot order following target by the 1st latch circuit 1420. In addition, the data-conversion circuit 300 cannot be overemphasized by changing and outputting the gradation data D0-D5 of each pixel to a binary signal Ds according to the timing of the latch by the 1st latch circuit 1420. Moreover, since the case where the alternating current-ized driving signal LCOM is L level is assumed, the table shown in drawing 7 will be referred to, and the binary signal Ds equivalent to a subfield Sf1 will be further outputted here according to the gradation data D0-D5.

[0090] Next, if a clock signal CLY falls and the scanning signal G1 is outputted, as a result of counting from a top in drawing 1 and choosing 1 Motome's scanning line 112, the transistor 116 of the pixel 110 corresponding to intersection with the scanning line 112 concerned will be in an ON state altogether. On the other hand, the latch signal LP is outputted by falling of the clock signal CLY concerned. And in the falling timing of this latch signal LP, the 2nd latch circuit 1430 supplies the binary signal Ds latched to the dot order following target by the 1st latch circuit 1420 all at once to each of the corresponding data line 114 as data signals d1, d2, d3, --, dn. For this reason, from a top, it will count and the writing of data signals d1, d2, d3, --, dn will be simultaneously performed in the pixel 110 of the 1st line.

[0091] In parallel to this writing, the binary signal Ds for the pixel of one line corresponding to intersection with upper shell 2 Motome's scanning line 112 is latched to the dot order following target by the 1st latch circuit 1420 in drawing 1.

[0092] And it is repeated until the scanning signal Gm corresponding to m Motome's scanning line 112 in the same operation as henceforth is outputted. Namely, it sets during [ when a certain scanning signal Gi (integer with which i fills  $1 \leq i \leq m$ ) is outputted ] the 1 horizontal scanning (1H). the dot order of the binary signal Ds which receives one line of the pixel 110 corresponding to the writing of the data signals d1-dn which receive one line of the pixel 110 corresponding to i Motome's scanning line 112, and Motome's (i+1) scanning line 112 -- degree latch of-like will be performed in parallel In addition, the data signal written in the pixel 110 is held until it is written in in the following subfield Sf2.

[0093] It is repeated whenever the start pulse DY as which the same operation as the following specifies the start of a subfield is supplied. However, the item of the subfield to which the data-conversion circuit 300 corresponds among subfields Sf0-Sf14 about the conversion to a binary signal Ds from the gradation data D0-D5 is referred to.

[0094] Furthermore, after one-frame progress, when the alternating current-ized driving signal LCOM is reversed on H level, the same operation is repeated in each subfield. However, about the conversion to a binary signal Ds from the gradation data D0-D5, the table shown in drawing 7 (b) will be referred to.

[0095] Next, the voltage of the data signal impressed to the impression to the liquid crystal layer of the pixel 110 by the data drive circuit 140 is examined. Drawing 9 is a timing chart which indicates the impression wave to the pixel electrode 118 in a pixel 110 to be gradation data.

[0096] For example, as a result of following the content of conversion shown in drawing 7 when the alternating current-ized driving signal LCOM is L level, and the gradation data D0-D5 of a certain pixel are (000000), as shown in drawing 9, one frame (1f) is covered and voltage V0 is written in the pixel electrode 118 of the pixel concerned. Here, the effective-voltage value impressed to the liquid crystal layer concerned is set to V0. Therefore, the permeability of the pixel concerned becomes 0% corresponding to gradation data (000000).

[0097] Moreover, when the gradation data D0-D5 of a certain pixel are (000011), as a result of following the content of conversion shown in drawing 7, as shown in drawing 9, in subfields Sf0-Sf3, Voff of voltage V0 is written for Von of voltage VL in the pixel electrode 118 of the pixel concerned in the subsequent subfields Sf4-Sf14, respectively. Here, the rate for which the period of subfields Sf0-Sf3 accounts in one frame (1f) is 2 (V3/VL), and since voltage VL is written in this period, the effective-voltage value impressed to the pixel electrode 118 of the pixel concerned in one frame is set to V3. Therefore, the permeability of the pixel concerned becomes 4.76% corresponding to gradation data (000011).

[0098] Furthermore, when the gradation data D0-D5 of a certain pixel are (111111), as a result of following the content of conversion shown in drawing 7, as shown in drawing 9, in subfields Sf0-Sf7, Von of voltage VH is written for Von of voltage VL in the pixel electrode 118 of the pixel concerned in the subsequent subfields Sf8-Sf14, respectively. Therefore, the permeability of the pixel concerned becomes 100% corresponding to gradation data (111111). In addition, the gradation data D0-D5 correspond to permeability similarly about other gradation data.

[0099] On the other hand, when the alternating current-ized driving signal LCOM is H level, the case of L level and the reversed level are impressed to the pixel electrode 118. For this reason, when the alternating current-ized driving signal LCOM is H level, polarity is reversed and the absolute value serves as applied voltage in case the alternating current-ized driving signal LCOM of the applied voltage of each liquid crystal layer is L level with an equal. Therefore, as a

result of avoiding the situation where a dc component is impressed to a liquid crystal layer, degradation of liquid crystal 105 will be prevented.

[0100] According to the electro-optics equipment concerning such an operation gestalt, one frame (1f) was divided into 15 subfields Sf0-Sf14, binary [ of VL and VH ] performed weighting for the voltage of Von which turns on a pixel for every subfield, and the effective-voltage value in one frame is set up. Thereby, since the data signals d1-dn supplied to the data line 114 are digital signals, in circumference circuits, such as a drive circuit, the circuit for processing analog signals, such as a highly precise D/A-conversion circuit and an operational amplifier, becomes unnecessary. For this reason, since circuitry is simplified sharply, it becomes possible to hold down the cost of the whole equipment low.

[0101] Moreover, reduction of power consumption is also attained.

[0102] Moreover, since the data signals d1-dn respectively supplied to the data line 114 are digital signals, the display nonuniformity resulting from heterogeneity, such as an element property and wiring resistance, does not generate them theoretically. For this reason, according to the electro-optics equipment concerning this operation gestalt, a high-definition and high definition gradation display is attained.

[0103] Furthermore, a binary signal Ds divides one frame into 15 subfields Sf0-Sf14. It is based on the 6-bit gradation data D0-D5. the voltage of subfields Sf0-Sf14 V0, VL, Since it is made to carry out weighting by VH, the inside of the sub feed Sf0-Sf14, Also in a subfield with comparatively short time, a write time can fully be secured, a data signal can be certainly written in each pixel 110, and the gradation display by the electro-optics equipment concerned can be performed with high precision.

[0104] Since the writing to the pixel 110 in subfields Sf0-Sf14 is performed to one shot of a start pulse DY, the transistor 116 shown in drawing 2 is made into the ON state among subfields further again only at the time of a standup. Thereby, the transistor 116 is turned off when the alternating current-ized driving signal LCOM carries out level reversal. For this reason, without being influenced by the reversed signal, irrespective of level reversal of the alternating current-ized driving signal LCOM, the charge accumulated at the storage capacitance 119 can hold data until the next writing is performed.

[0105] In addition, if it was in the operation gestalt mentioned above, although level reversal of the alternating current-ized driving signal LCOM is carried out with the period of one frame, this invention is good also as composition which it is not restricted to this, for example, carries out level reversal with the period of two or more frames. However, in the operation gestalt mentioned above, when carrying out level reversal of the alternating current-ized driving signal LCOM with the period of two frames, in order to specify a frame, it will be necessary to give a certain signal, since the data-conversion circuit 300 was considered as the composition which is resetting the count result concerned by changes of the alternating current-ized driving signal LCOM, and recognizes the present subfield while it counted the start pulse DY.

[0106] With the <application gestalt \*\*> above-mentioned implementation gestalt, as shown in drawing 2 (a) or (b), the pixel of composition of holding the applied voltage to the pixel electrode 118 by liquid crystal capacity and the storage capacitance 119 was adopted. On the other hand, in this application gestalt \*\*, the memory which memorizes a 1-bit digital signal to the pixel itself, and the circuit which chooses voltage Von or Voff according to the digital signal memorized by this memory, and is impressed to a pixel electrode are prepared.

[0107] Here, the block diagram showing the composition of electro-optics equipment according [ drawing 10 ] to application gestalt \*\*, the circuit diagram in which drawing 11 shows the composition of a pixel, the block diagram in which drawing 12 shows the composition of a data-line drive circuit, and drawing 13 show the circuit diagram showing one mode of a voltage change circuit, respectively. In addition, in this application gestalt \*\*, the same sign shall be given to the same component as the operation gestalt mentioned above, and the explanation shall be omitted.

[0108] As shown in drawing 10, the m scanning lines 112 are extended and formed in the direction of X (line), the n data lines 114a and 114b are extended and formed in viewing-area 101a on an element substrate along the direction of Y (train), and m more Von line 113a and Voff line 113b are extended and formed in the direction of X (line). And a pixel 120 is formed corresponding to each intersection with the scanning line 112 and the data lines 114a and 114b of a couple, and is arranged in the shape of a matrix. In addition, the pixel 210 shown in drawing 11 is arranged in an i line j train.

[0109] Moreover, between each data-line 114a and data-line 114b, an inverter 150 is connected, respectively, and the data signal to which the data signal dj reversed level to data-line 114b of another side / dj is inputted into one data-line 114a. Furthermore, the voltage change circuit 160 which sets the voltage value of voltage Von as VH and VL in response to the scanning signal Gi outputted from the scanning-line drive circuit 130 is respectively connected to each Von line 113a.

[0110] In addition, in application gestalt \*\*, although the total number of the scanning line 112 is made into m, and the total number of the data lines 114a and 114b is made into n for convenience (m and n are two or more integers,

respectively) and being explained as matrix type display of a m line xn train, it is not the meaning of explanation which limits this invention to this.

[0111] Next, as concrete composition of a pixel 120, as shown in drawing 11, inverters 121 and 122 constitute 1-bit memory as a whole, when one output terminal connects with the input terminal of another side.

[0112] Transistors 116a and 116b are switching transistors made into an ON state, when writing in to this 1-bit memory, each drain is connected to each output terminal of inverters 121 and 122, and each gate is connected to the scanning line 112 which supplies the scanning signal Gi.

[0113] With the above-mentioned operation gestalt, the data signal has been sent to each pixel through the one data line. On the other hand, in this application gestalt \*\*, the two data lines 114a and 114b are wired to each pixel, the source of transistor 116a is connected to data-line 114a, and the source of transistor 116b is connected to data-line 114b. And a data signal dj ( $j=1-n$ ) is outputted to data-line 114a as it is from the data-line drive circuit 170 mentioned later, and the signal which carried out level reversal of this signal dj is outputted to data-line 114b. The signal on each of these data lines is given to the memory which consists of inverters 121 and 122 through Transistors 116a and 116b, and is written in this memory. The transmission gate 123 is connected to Von line 113a to which an input edge supplies voltage Von, and the outgoing end is connected to the pixel electrode 118. Moreover, the transmission gate 124 is connected to Voff line 113b to which an input edge supplies voltage Voff, and the outgoing end is connected to the pixel electrode 118. These transmission gates 123 and 124 are the gates turned on [ gates ] by the gate signal of H level being given by each, and each output signal of the inverters 121 and 122 in the above-mentioned memory is supplied to these as a gate signal.

[0114] Furthermore, the data-line drive circuit 170 is constituted by the X shift register 1410 except the voltage-selection circuit 1440, the 1st latch circuit 1420, and the 2nd latch circuit 1430 among the data-line drive circuits 140 stated with the operation gestalt, as shown in drawing 12. And from the 2nd latch 1430, each data signals d1-dn are supplied to the data line 114. Here, a data signal dj is a signal of eye i train, and has become 0V at the time of VCC and L level at the time of H level.

[0115] The reference voltage generating circuit 161 which the voltage change circuit 160 consists of circuits as shown in drawing 13, and, on the other hand, generates the voltage VH and VL according to H/L of this LCOM in response to the alternating current-sized driving signal LCOM, AND gate 162 which outputs a set signal when there is an input of the scanning signal Gi which serves as H level in subfields Sf0-Sf7, AND gate 163 which outputs a reset signal when there is an input of the scanning signal Gi which serves as H level in subfields Sf8-Sf14, The flip-flop circuit 164 by which the output of AND gate 162 was connected to the switch terminal, and AND gate 163 was connected to R terminal, It is constituted by the switching element 165 which chooses the voltage VH and VL outputted from the aforementioned reference voltage generating circuit 161 in response to the output signal of this flip-flop circuit 164.

[0116] Thereby, the voltage change circuit 160 outputs voltage VL as Von at the time of subfields Sf0-Sf7, and outputs voltage VH as Von at the time of subfields Sf8-Sf14.

[0117] Hereafter, the signal corresponding to gradation data as shown also in this application gestalt \*\* for explaining operation of this pixel 120 at drawing 9 of an operation gestalt shall be written in the pixel electrode 118.

[0118] When the scanning signal Gi of H level is outputted to the scanning line 112 for every subfield and Transistors 116a and 116b have become an ON state, suppose that the signal of L level which reversed the signal dj of H level which directs impression of voltage, and its level was outputted to the data lines 114a and 114b. In this case, since the output signal of L level and an inverter 122 serves as [ the output signal of an inverter 121 ] H level, only the TORANSHI missions gate 124 will be in an ON state, and voltage Von is impressed to the pixel electrode 118 through this transmission gate 124.

[0119] Under the present circumstances, when subfields are Sf0-Sf7, since the voltage built over Von line 113a by the voltage change circuit 160 mentioned above serves as VL, voltage VL is written in the pixel electrode 118.

[0120] On the other hand, when subfields are Sf8-Sf14, since the voltage concerning Von line 113a serves as VH, voltage VH is written in the pixel electrode 118.

[0121] Moreover, if the scanning signal Gi over the scanning line 112 is set to L level, Transistors 116a and 116b will be in an OFF state, and inverters 121 and 122 will maintain the output signal level before it as it is. Since only the output signal of an inverter 122 serves as H level in the meantime, voltage VH will continue being impressed to the pixel electrode 118 through a transmission gate 124.

[0122] Then, when the scanning signal Gi over the scanning line 112 serves as H level again and Transistors 116a and 116b have become an ON state, suppose that the signal of H level which reversed the signal dj of L level which directs impression of voltage, and its level was outputted to the data lines 114a and 114b. In this case, since the output signal of H level and an inverter 122 serves as [ the output signal of an inverter 121 ] L level, only the TORANSHI missions gate 123 will be in an ON state, and voltage Voff (LCOM) is impressed to the pixel electrode 118 through this transmission



gate 123.

[0123] And when the scanning signal Gi over the scanning line 112 is set to L level, as mentioned above, inverters 121 and 122 will maintain the output signal level before it as it is, and voltage Voff will continue being impressed to the pixel electrode 118 through a transmission gate 123.

[0124] And in the voltage change circuit 160 shown in drawing 13, since the voltage VH and VL which also reversed voltage Von according to level reversal of the alternating current-ized driving signal LCOM is outputted, even if it is the case where a counterelectrode 108 carries out level reversal by the alternating current-ized driving signal LCOM, the signal which serves as the voltage differences VH and VL on the basis of LCOM is outputted.

[0125] In this way, since such a memory built-in pixel is adopted according to application gestalt \*\*, the situation where the applied voltage to a pixel electrode volatilizes by leak does not arise, but each pixel in the subfield unit in the above-mentioned operation gestalt can be driven with high degree of accuracy.

[0126] <Application gestalt \*\*> In the operation gestalt mentioned above, the writing of a signal can be ensured by lengthening more the subfield which has the shortest period among each subfield. For this reason, what set the voltage at the time of Von set up by the subfield as three values is shown in drawing 14 and drawing 15.

[0127] Here, the applied voltage to the liquid crystal layer in a pixel 110 is examined. In addition, drawing 14 is the table showing the content of conversion of the gradation data of a data-conversion circuit, and drawing 15 is a timing chart which indicates the impression wave to the pixel electrode 118 in a pixel 110 to be gradation data.

[0128] With the electro-optics equipment concerning application gestalt \*\*, the composition which makes voltage impressed to a liquid crystal layer the 1st three values (except for V0) of V0 (=0), VH (=V63), VLH (=V55), and VLL (=V8) is adopted. In this composition, if the effective-voltage value V0 is impressed to a liquid crystal layer for the whole term of one frame, permeability will become 0%, and if the effective-voltage value VCC is impressed, permeability will become 100%. Moreover, the ratio of the period which impresses voltage V0 to a liquid crystal layer among one frame, the period which impresses voltage VH, the period which impresses voltage VLH, and the period which impresses voltage VLL is controlled, and if it constitutes so that the effective-voltage value impressed to a liquid crystal layer may be set to V0-V63, the display of 64 gradation corresponding to the voltage concerned will be attained.

[0129] Then, with the electro-optics equipment concerning this application form \*\*, in order to divide into the 2nd in the period which impresses voltage V0, VH, VLH, and VLL to a liquid crystal layer, one frame (1f) is divided in ten periods. This ten divided period will be called for convenience subfields Sf0-Sf9.

[0130] Furthermore, with the electro-optics equipment concerning this application form \*\*, by the voltage change circuit 1450 stated with the operation form, and the circuit by the almost same composition, in subfields Sf0-Sf3, Von of voltage VLL is outputted to the 3rd, Von of voltage VLH is outputted to it in subfields Sf4-Sf6, and Von of voltage VH is outputted to it in subfields Sf7-Sf9. And weighting by voltage VH, VLH, and VLL is made voltage Von for every subfield.

[0131] For example, when gradation data are (000001), the permeability of the pixel concerned should be made 1.59 (=1/63) %, and, for that, it is necessary to impress the effective-voltage value V1 to a pixel. Then, with this operation form, voltage to the pixel electrode 118 is impressed so that the voltage impressed between the pixel electrode 118 of the pixel concerned and a counterelectrode 108 may serve as Von=VLL in subfields Sf0 and Sf1 and may serve as Voff=V0 (=0V) in other subfields. Here, since the effective-voltage value impressed to a pixel is calculated by the square root which continued and equalized the square of voltage instantaneous value to one period (one frame), it can impress the time which multiplied the length of subfields Sf0 and Sf1 by 2 (V1/VLL) to one frame, then the effective-voltage value V1 corresponding to gradation data (000001) to a pixel.

[0132] Moreover, when gradation data are (000010), the permeability of the pixel concerned should be made 3.17 (=2/63) %, and, for that, it is necessary to impress the effective-voltage value V2 to a pixel. Then, with this operation gestalt, voltage to the pixel electrode 118 is impressed so that the voltage impressed between the pixel electrode 118 of the pixel concerned and a counterelectrode 108 may serve as Von=VLL in subfields Sf0, Sf1, and Sf2 and may serve as Voff=V0 (0V) in other subfields. Here, since it asks by the square root which continued and equalized the square of voltage instantaneous value to one period (one frame), the effective-voltage value impressed to a pixel is the length of subfields Sf0-Sf2 to one frame 2 (V2/VLL) The time by which it multiplied, then the effective-voltage value V2 corresponding to gradation data (000010) can be impressed to a pixel.

[0133] Similarly, when gradation data are (000011), the permeability of the pixel concerned is made into 4.76(=3/63) In this case, voltage to the pixel electrode 118 is impressed so that it may become Von=VLL in subfields Sf0-Sf3 and may become Voff=V0 (0V) in other subfields. Here, since it asks by the square root which continued and equalized the square of voltage instantaneous value to one period (one frame), the effective-voltage value impressed to a pixel is the length of subfields Sf0-Sf3 to one frame 2 (V3/VLL) The time by which it multiplied, then the effective-voltage value V3 corresponding to gradation data (000011) can be impressed to a pixel.



[0134] Furthermore, when gradation data are (011000), the permeability of the pixel concerned should be made 38.1 (=24/63) %, and, for that, it is necessary to impress the effective-voltage value V24 to a pixel. Then, with this operation gestalt, voltage to the pixel electrode 118 is impressed so that the voltage impressed between the pixel electrode 118 of the pixel concerned and a counterelectrode 108 may serve as  $V_{on}=V_{LL}$  in a subfield Sf0, may serve as  $V_{on}=V_{LH}$  in subfields Sf4-Sf5, may serve as  $V_{on}=V_H$  in a subfield Sf7 and may serve as  $V_{off}=V_0$  (=0V) in the remaining subfield. Thus, by impressing voltage to the pixel electrode 118, the effective-voltage value V24 corresponding to gradation data (011000) can be impressed to a pixel to one frame.

[0135] Hereafter, the signal over an effective-voltage value is set up similarly, respectively.

[0136] Thus, if it is the composition which divides frame 1f during ten subfields Sf0-Sf9, and writes in according to gradation data, the display of 64 gradation corresponding to each permeability of the voltage impressed to the pixel electrode 118 of the pixel concerned will be attained using  $V_{off}$  (V0) and  $V_{on}$  (three values of  $V_H$ , and  $V_{LL}$  and  $V_{LH}$ ). In addition, although the period of the subfields Sf1-Sf9 illustrated to drawing 15 is illustrating to almost equal width of face on a drawing, the length may differ separately.

[0137] Thus, in application gestalt \*\*, the period used as the minimum can be secured from the period of the subfield by the aforementioned operation gestalt for a long time, and the writing to the pixel electrode 118 by the binary signal can be ensured.

[0138] <Application gestalt \*\*> Drawing 16 is the timing chart which showed the applied voltage LCOM to an opposite substrate, and the applied voltage to a pixel electrode per subfield in this application gestalt \*\*.

[0139] In the above-mentioned operation gestalt and each above-mentioned application gestalt, it is performing level reversal of the voltage which is made to carry out level reversal of the applied voltage LCOM to an opposite substrate a fixed period, and turns ON a pixel according to this, and the polarity of the applied voltage to a liquid crystal layer was reversed periodically.

[0140] On the other hand, in this application gestalt \*\*, to an opposite substrate, LCOM used as the direct current voltage of fixed level is impressed, and the level of the voltage  $V_{on}$  which turns ON a pixel on the basis of this LCOM is reversed for every fixed period.

[0141] In this application gestalt \*\*, so that it may illustrate to drawing 16 namely, in a certain frame 1f In the subfield of the number according to gradation data, low voltage  $V_{on-}$  is impressed to a pixel electrode rather than direct-current-level LCOM as voltage which turns ON a pixel. In the following this frame 1f frame 2f, voltage  $V_{on+}$  ( $V_{L+}$ ,  $V_{H+}$ ) which performed level reversal of voltage  $V_{on-}$  ( $V_{L-}$ ,  $V_{H-}$ ) on the basis of direct-current-level LCOM is impressed to a pixel electrode as voltage which turns ON a pixel.

[0142] In order to perform such an alternating current drive, it is necessary to the above-mentioned operation gestalt or each application gestalt (especially application gestalt \*\*) to add the following deformation.

[0143] a. In the case of the electro-optics equipment which has the pixel of composition of being shown in above-shown drawing 2 (a) or (b) like the above-mentioned operation gestalt, set on a certain frame in this case.  $V_{off}$  is outputted to each data line 114 as voltage which turns OFF a pixel for  $V_{on-}$  as voltage which turns ON a pixel. with the following frame The composition of the output section of the data-line drive circuit 140 is changed into condition of outputting  $V_{off}$  to each data line 114 as voltage which turns OFF a pixel for  $V_{on+}$  as voltage which turns ON a pixel so that the level of the voltage which turns ON a pixel may be reversed by 1 frame period.

[0144] b. the case of the electro-optics equipment which has the pixel shown in above-shown drawing 11 like the above-mentioned application gestalt \*\* -- this case -- a certain frame -- as voltage  $V_{on}$  --  $V_{on-}$  the following frame -- as voltage  $V_{on}$  --  $V_{on+}$  -- \*\* -- constitute so that the voltage  $V_{on}$  which turns ON a pixel may be switched to the condition to say for every frame

[0145] According to this application gestalt \*\*, like the above-mentioned operation gestalt and each application gestalt, since applied voltage to a liquid crystal layer can be alternating-current-ized, degradation of the quality of image resulting from the dc component of applied voltage to a liquid crystal layer can be prevented.

[0146] In the electro-optics equipment by <application gestalt \*\*> application gestalt \*\*, it is the adjoining pixel, the arrangement on the time-axis of a subfield was reversed, and the arrangement on the time-axis of a subfield is reversed for every frame. At this time, the timing chart which indicates the impression wave to the pixel electrode 118 in a pixel 110 to be gradation data is shown in drawing 17 . In addition, this binary signal divides into 15 subfields Sf0-Sf14 frame 1f by the operation gestalt mentioned above, and performs weighting by voltage  $V_H$  and  $V_L$  every subfields Sf [ Sf0-] 14.

[0147] Here, three lines of the wave and the lower berth by which four lines of the upper case of drawing 17 are impressed to a pixel 110 (Pij) have illustrated the wave impressed to a pixel (Pij+1).

[0148] Thus, by the adjoining pixel, the arrangement on the time-axis of a subfield is reversed, a pixel (Pij) is arranged in order of Sf14-Sf0, a pixel (Pij+1) is arranged in order of Sf0-Sf14, and for every change rate of a frame, arrangement

of subfields Sf0-Sf14 is arranged in order of Sf14-Sf0 before a change, and is arranged in order of Sf0-Sf14 after a change. By this, it can reduce changing sharply by the pixel which the binary signal impressed to a pixel 110 adjoins, and a flicker can be prevented.

[0149] In addition, in above-mentioned application gestalt \*\*, although arrangement of a subfield is replaced for every frame, every two-frame exchange in every three frames is sufficient.

[0150] <Application gestalt \*\*> On the other hand, with the operation gestalt mentioned above, although considered as 64 gradation displays, it is applicable to other degrees of gradation display like 8 gradation displays, 16 gradation displays, and --, for example.

[0151] However, since the drive circuit and especially the X shift register 1410 in the data-line drive circuit 140 are operating near an upper limit in fact, they cannot raise gradation display frequency with this. Then, application gestalt \*\* which improved at this point is explained.

[0152] Drawing 18 is the block diagram showing the composition of the data-line drive circuit in the electro-optics equipment concerning this application gestalt \*\*. In this drawing, in the point of transmitting the latch signal LP based on a clock signal CLX, although the X shift register 1412 is the same as the X shift register 1410 shown in drawing 3, it is different from the X shift register 1410 in the point that the number of stages serves as half. That is, if the integer  $p$  with which  $n=2p$  is filled is assumed, the X shift register 1412 has composition which outputs the latch signals S1, S2, --, Sp one by one.

[0153] Moreover, in this application gestalt \*\*, a binary signal is counted from the left, and is divided and supplied to two lines of the binary signal Ds1 to odd number Motome's data line 114, and the binary signal Ds2 to even number Motome's data line 114. Furthermore, in the 1st latch circuit 1422, what latches a binary signal Ds1 corresponding to odd number Motome's data line 114, and the thing which latches a binary signal Ds2 corresponding to the data line 114 of even number Motome following it serve as a group, and has the composition of latching simultaneously in falling of the respectively same latch signal.

[0154] Therefore, according to such a data-line drive circuit 140, a required horizontal scanning period can be shortened in a half, maintaining the frequency of a clock signal CLX identically to the above-mentioned operation gestalt, since the binary signals Ds1 and Ds2 for two pixels were simultaneously latched by the same latch signals S1, S2, and S3 and --, as shown in drawing 19. Furthermore, the number of stages of the unit circuit which constitutes the X shift register 1412 is cut down from "n" corresponding to the total number of the data line 114 by "p" which is the half. For this reason, it also becomes possible to simplify the composition of the X shift register 1412 as compared with the X shift register 1410 (to refer to drawing 3).

[0155] That the number of stages of the unit circuit which constitutes the X shift register 1412 can be managed with a half on the other hand means that a clock signal CLX can be reduced in a half, if a required horizontal scanning period is made the same. For this reason, if a horizontal scanning period is made the same, the power consumed by originating in a frequency of operation can also be stopped.

[0156] In addition, if it was in this application gestalt, although the number of the 1st latch circuit 1422 which performs the latch by which \*\*\*\* is carried out with a latch signal was set to "2", of course, it is good also as more than "3." In this case, a binary signal will be divided into the system according to the number concerned, and \*\*\*\*\* supply will be carried out.

[0157] <Application gestalt \*\*> In the operation gestalt mentioned above, it completes in the write-in period (1Va) in each subfield again. For this reason, it is [ that maintenance operation of the voltage written in in the liquid crystal layer of each pixel is only performed in a period after writing is completed, until the following subfield begins, and ] in a certain subfield.

[0158] On the other hand, the clock signal CLX of high frequency is supplied very much to the drive circuit in the above-mentioned operation gestalt, especially the data-line drive circuit 140. Generally, since it has extremely many clocked inverters which input a clock signal into a shift register at the gate, the X shift register 1410 (1412) serves as a capacity load seen from the timing signal generation circuit 200 which is the source of supply of a clock signal CLX.

[0159] Therefore, in the period when maintenance operation mentioned above is performed, with the composition which supplies a clock signal CLX, as a result of consuming power vainly with a capacity load, increase of power consumption will be caused. Then, the application gestalt which improved at this point is explained.

[0160] In this application gestalt \*\*, it has the composition that the clock signal supply control circuit 400 shown in drawing 20 is inserted in the middle of [ until a clock signal CLX results / from the timing signal generation circuit 200 / in the X shift register 1410 (1412) ]. Here, the clock signal supply control circuit 400 is equipped with RS flip flop 402 and AND gate 404. Among these, RS flip flop 402 inputs the scanning signal Gm into the reset input edge R while inputting a start pulse DY into the set input edge S. Moreover, AND gate 404 searches for the AND signal of the clock signal CLX supplied from the timing signal generation circuit 200, and the signal outputted from the outgoing end Q of

RS flip flop 402, and supplies this as a clock signal CLX to the X shift register 1410 (1412) in the data-line drive circuit 140.

[0161] If a start pulse DY is supplied in the beginning of a certain subfield in the clock signal supply control circuit 400 here, since RS flip flop 402 will be set, the signal outputted from the outgoing end Q serves as H level. For this reason, since AND gate 404 opens, as shown in drawing 21, supply of the clock signal CLX to the X shift register 1410 (1412) is started. And in the data-line drive circuit 140, the point sequential latch of the binary signal by the 1st latch circuit 1420 (1422) will be performed ignited by the latch signal LP supplied immediately after this.

[0162] On the other hand, since RS flip flop 402 will be reset if the scanning signal Gm which chooses the last (counting from a top m Motome) scanning line 112 in the subfield is supplied after supply of a clock signal CLX is started by the start pulse DY, the signal outputted from the outgoing end Q serves as L level. For this reason, since AND gate 404 closes, as shown in drawing 20, supply of the clock signal CLX to the X shift register 1410 (1412) is intercepted. Here, it is satisfactory even if a clock signal CLX is intercepted to the start of the following subfield since the binary signal for the pixel of one line corresponding to intersection with m Motome's scanning line 112 should be latched by the 1st latch circuit 1420 (1422), before supplying the scanning signal Gm. In addition, in drawing 20, since the frequency of a clock signal CLX is overwhelmingly higher than the frequency of a clock signal CLY, only the envelope of a clock signal CLX is shown.

[0163] Therefore, since the X shift register 1410 (1412) will be supplied only when a clock signal CLX is required if such a clock signal supply control circuit 400 is formed, it becomes possible to stop so much the power consumed with a capacity load. Moreover, although the same clock signal supply control circuit may be prepared also in the clock signal CLY by the side of Y, a clock signal CLY has frequency overwhelmingly lower than the clock signal CLX by the side of X. For this reason, the power consumed with a capacity load at the Y side seldom becomes a problem as compared with the X side.

[0164] <Application form \*\*> If it was in the operation form mentioned above further, although it stated as what generated the voltage of a data signal separately as VH (=V63) and VLH (=V55), and set up the period of 15 subfields, this invention can also make weighting of not only this but voltage three values and 4 value --.

[0165] What is necessary is just to set up the voltage of a binary signal, and the period of a subfield so that an effective-voltage value may be set to V63 in an effective-voltage value, when gradation data are (11111), V2, --, when gradation data are (000000) at this time, V0 and gradation data are (000001) about the effective-voltage value of a data signal and V1 and gradation data are (000010) about an effective-voltage value.

[0166] Furthermore, although the number of gradation was set to 64 in this invention, as for this invention, it is possible not only this but to make the number of gradation correspond to 128, 256, 512, and --.

[0167] Furthermore, in this invention, voltage may shift the voltage impressed to each pixel with the property of a transistor 116, a storage capacitance 119, the capacity of liquid crystal, etc. In such a case, the voltage LCOM impressed to a counterelectrode 110 may be shifted according to the shift amount of voltage.

[0168] The <whole liquid crystal equipment composition>, next the structure of the electro-optics equipment concerning the operation form mentioned above or an application form are explained with reference to drawing 22 and drawing 23. Here, drawing 22 is the plan showing the composition of electro-optics equipment 100, and drawing 23 is the cross section of the A-A' line in drawing 22.

[0169] As shown in these drawings, electro-optics equipment 100 has the structure where the liquid crystal 105 as an opto electronics material was pinched by this gap while the element substrate 101 in which the pixel electrode 118 etc. was formed, and the opposite substrate 102 in which the counterelectrode 108 etc. was formed maintain a fixed gap and each other are stuck by the sealant 104. In addition, although it is closed with a sealing agent after the amount of notch is in a sealant 104 and liquid crystal 105 is enclosed through here in fact, it is omitted in each drawing.

[0170] Here, since the element substrate 101 is a semiconductor substrate as mentioned above, it is opaque. For this reason, the pixel electrode 118 will be formed from reflection nature metals, such as aluminum, and electro-optics equipment 100 will be used as a reflected type. On the other hand, since the opposite substrate 102 consists of glass etc., it is transparency.

[0171] Now, in the element substrate 101, the shading film 106 is formed in the inside of a sealant 104, and the outside field of viewing-area 101a. The scanning-line drive circuit 130 is formed in field 130a in in the field in which this shading film 106 is formed, and the data-line drive circuit 140 is formed in field 140a. That is, the shading film 106 has prevented that light carries out incidence to the drive circuit formed in this field. It has the composition that the alternating current-ized driving signal LCOM is impressed to this shading film 106 with a counterelectrode 108. For this reason, in the field in which the shading film 106 was formed, since the applied voltage to a liquid crystal layer serves as zero mostly, it will be in voltage the state where it does not impress of the pixel electrode 118, and the same display state.

[0172] Moreover, in the element substrate 101, it is the field 140a outside in which the data-line drive circuit 140 is formed, and two or more end-connection children are formed in the field 107 which separated the sealant 104, and it has the composition of inputting a control signal, a power supply, etc. from the outside.

[0173] On the other hand, the shading film 106 in the element substrate 101 and the end-connection child, and the electric flow are achieved by the flow material (illustration abbreviation) in which the counterelectrode 108 of the opposite substrate 102 was formed in at least one place among four corners in a substrate pasting portion. That is, the alternating current-ized driving signal LCOM has composition further impressed to the shading film 106 through flow material at a counterelectrode 108, respectively through the end-connection child prepared in the element substrate 101.

[0174] Otherwise, corresponding to the use of electro-optics equipment 100, if it is a direct viewing type, the light filter arranged the shape of a stripe, the shape of the shape of a mosaic and a triangle, etc. to the 1st will be prepared in the opposite substrate 102, and the shading film (black matrix) set to the 2nd from a metallic material, a resin, etc. will be prepared in it. In addition, a light filter is not formed when using as a light valve of the projector mentioned later, for example in the case of the use of a colored light modulation. Moreover, in the case of a direct viewing type, the front light which irradiates light from the opposite substrate 102 side is prepared in electro-optics equipment 100 if needed. It adds, and while the orientation film (illustration abbreviation) by which rubbing processing was carried out is prepared in the predetermined direction, respectively and the direction of orientation of the liquid crystal molecule in voltage the state where it does not impress is specified to the electrode forming face of the element substrate 101 and the opposite substrate 102, the polarizer (illustration abbreviation) according to the direction of orientation is formed in the opposite substrate 102 side. However, since efficiency for light utilization will increase as a result of an above-mentioned orientation film's, an above-mentioned polarizer's, etc. becoming unnecessary if the polymer dispersed liquid crystal distributed as a minute grain is used into a macromolecule as liquid crystal 105, in points, such as a raise in brightness, and low-power-izing, it is advantageous.

[0175] <Others> In an operation form, the element substrate 101 which constitutes electro-optics equipment is used as a semiconductor substrate again, and although the transistor 116 connected to the pixel electrode 118 here, the constituent child of a drive circuit, etc. were formed by the MOSFET, this invention is not restricted to this. For example, it is good also as composition which uses the element substrate 101 as amorphous substrates, such as glass and a quartz, deposits a semiconductor thin film here, and forms TFT. Thus, if TFT is used, a transparent substrate can be used as an element substrate 101.

[0176] Furthermore, as an opto electronics material, electroluminescent element etc. can be used other than liquid crystal, and it can apply to the equipment which displays by the electro-optical effect. That is, this invention is applicable to all the electro-optics equipments that perform a gradation display using the electro-optics equipment which has the composition mentioned above and analogous composition, and the pixel which performs ON or the binary display of OFF especially.

[0177] Some of examples which used for concrete electronic equipment <electronic equipment>, next the liquid crystal equipment mentioned above are explained.

[0178] < -- the 1:projector > -- the projector using the electro-optics equipment concerning an operation form as a light valve is explained first Drawing 24 is the plan showing the composition of this projector. As shown in this drawing, in the projector 1100 interior, the polarization lighting system 1110 arranges along with the system optical axis PL. reflection according [ on this polarization lighting system 1110 and / the outgoing radiation light from a lamp 1112 ] to a reflector 1114 -- abbreviation -- it becomes the parallel flux of light and incidence is carried out to the 1st integrator lens 1120 Thereby, the outgoing radiation light from a lamp 1112 is divided into two or more middle flux of lights. This divided middle flux of light will be changed into one kind of polarization flux of light (s-polarized light flux of light) to which the polarization direction was mostly equal by the polarization sensing element 1130 which has the 2nd integrator lens in an optical incidence side, and outgoing radiation will be carried out from the polarization lighting system 1110.

[0179] Now, the s-polarized light flux of light by which outgoing radiation was carried out from the polarization lighting system 1110 is reflected by the s-polarized light flux of light reflector 1141 of a polarization beam splitter 1140. The flux of light of a blue glow (B) is reflected in the blue light reflex layer of a dichroic mirror 1151 among this reflected light bunch, and reflected type electro-optics equipment 100B becomes irregular. Moreover, among the flux of lights which penetrated the blue light reflex layer of a dichroic mirror 1151, it is reflected in the red light reflex layer of a dichroic mirror 1152, and the flux of light of red light (R) is modulated by reflected type liquid electro-optics equipment 100R. On the other hand, among the flux of lights which penetrated the blue light reflex layer of a dichroic mirror 1151, the flux of light of green light (G) penetrates the red light reflex layer of a dichroic mirror 1152, and is modulated by reflected type electro-optics equipment 100G.

[0180] Thus, after the red by which the colored light modulation was carried out with the electro-optics equipments 100R, 100G, and 100B, respectively, and a green and blue light are compounded one by one by dichroic mirrors 1152

and 1151 and the polarization beam splitter 1140, they will be projected on a screen 1170 by the projection optical system 1160. In addition, since the flux of light corresponding to each primary color of R, G, and B carries out incidence to the electro-optics equipments 100R, 100B, and 100G with dichroic mirrors 1151 and 1152, a light filter is unnecessary.

[0181] The example which applied <the 2:mobile type computer>, next the above-mentioned electro-optics equipment to the mobile type personal computer is explained. Drawing 25 is the perspective diagram showing the composition of this personal computer. In drawing, the computer 1200 consists of this soma 1204 equipped with the keyboard 1202, and a display unit 1206. This display unit 1206 is constituted by adding a front light to the front face of the electro-optics equipment 100 described previously.

[0182] In addition, since electro-optics equipment 100 will be used as a reflective direct viewing type with this composition, the composition in which irregularity is formed is desirable so that the reflected lights may be scattered about in the various directions in the pixel electrode 118.

[0183] < -- the 3:cellular-phone > -- the example which applied the above-mentioned electro-optics equipment to the cellular phone is explained further Drawing 26 is the perspective diagram showing the composition of this cellular phone. In drawing, a cellular phone 1300 is equipped with electro-optics equipment 100 with the ear piece 1304 besides two or more operation buttons 1302, and a speaker 1306. A front light is prepared in the front face also at this electro-optics equipment 100 if needed. Moreover, since electro-optics equipment 100 will be used as a reflective direct viewing type, this composition of the composition in which irregularity is formed in the pixel electrode 118 is also desirable.

[0184] In addition, \*\*\*\*\* which it explained with reference to drawing 24 - drawing 26 as electronic equipment, and also was equipped with a liquid crystal television, the video tape recorder of a viewfinder type and a monitor direct viewing type and car navigation equipment, a pager, an electronic notebook, a calculator, a word processor, the workstation, the TV phone, the POS terminal, and the touch panel is mentioned. And it cannot be overemphasized that the electro-optics equipment concerning an operation form or an application form can be applied to these various electronic equipment.

[0185]

[Effect of the Invention] As explained above, according to this invention, the data signal impressed to the data line is digitized, and a high-definition gradation display is attained.

[0186] And since it has the voltage of the voltage which turns ON a pixel two or more kinds and weighting by voltage is carried out for every aforementioned subfield according to the gradation level of a pixel, even when it is indicated 64 gradation, for example by gradation, the period of a subfield can be lengthened comparatively and the writing to the pixel by the data signal can be ensured.

[0187] Moreover, low-power-ization is also realizable.

---

[Translation done.]

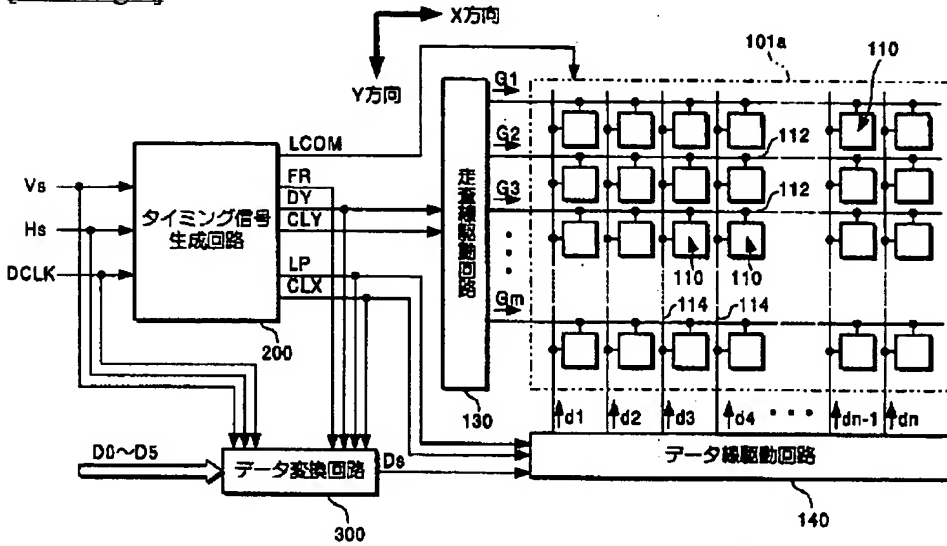
## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

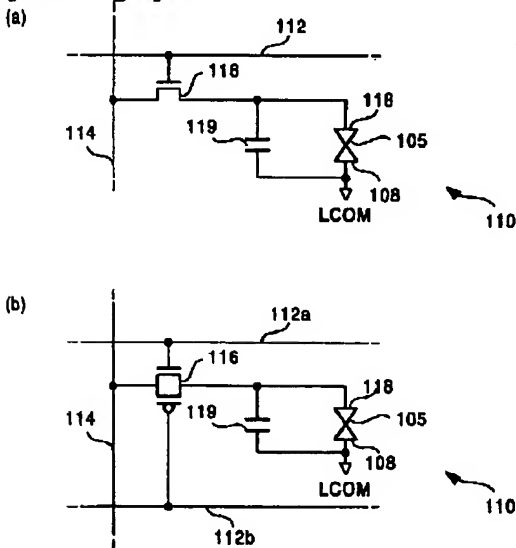
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

[Drawing 1]

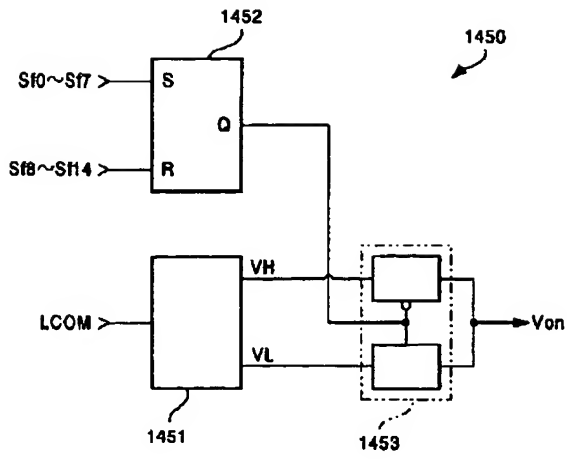


[Drawing 2]

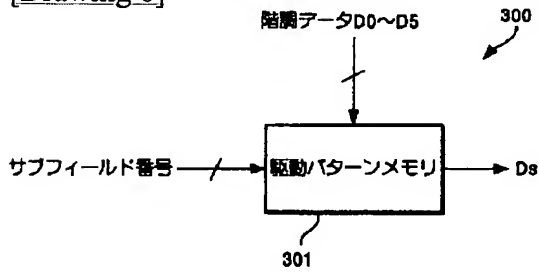


[Drawing 4]

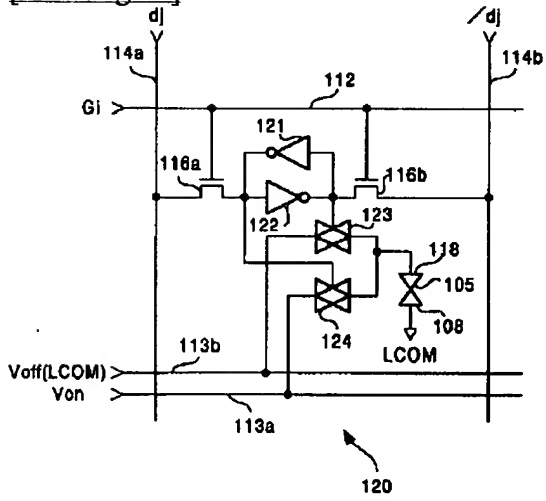




[Drawing 6]



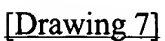
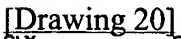
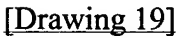
[Drawing 11]



[Drawing 3]

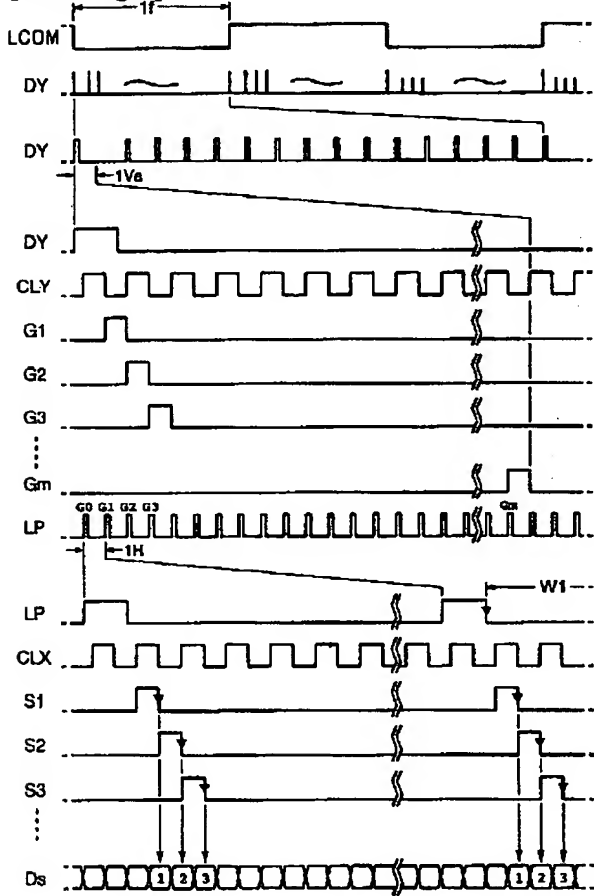


電圧／透過率特性（ノーマリブラックモード）

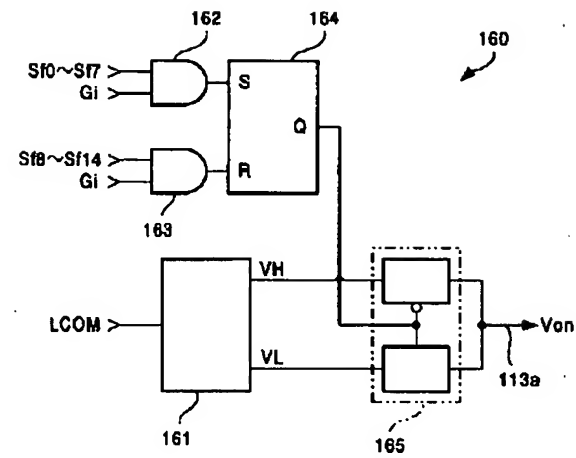


階層 データ	2値信号Ds														
	S10	S11	S12	S13	S14	S15	S16	S17	S18	S19	S110	S111	S112	S113	S114
000000	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
000001	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
000010	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
000011	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0
⋮															
001000	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0
⋮															
010000	1	0	0	0	0	0	0	0	1	1	0	0	0	0	0
⋮															
011000	1	1	0	0	0	0	0	0	1	1	1	0	0	0	0
⋮															
111111	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

[Drawing 8]



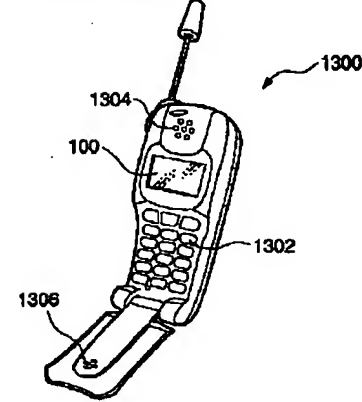
[Drawing 13]



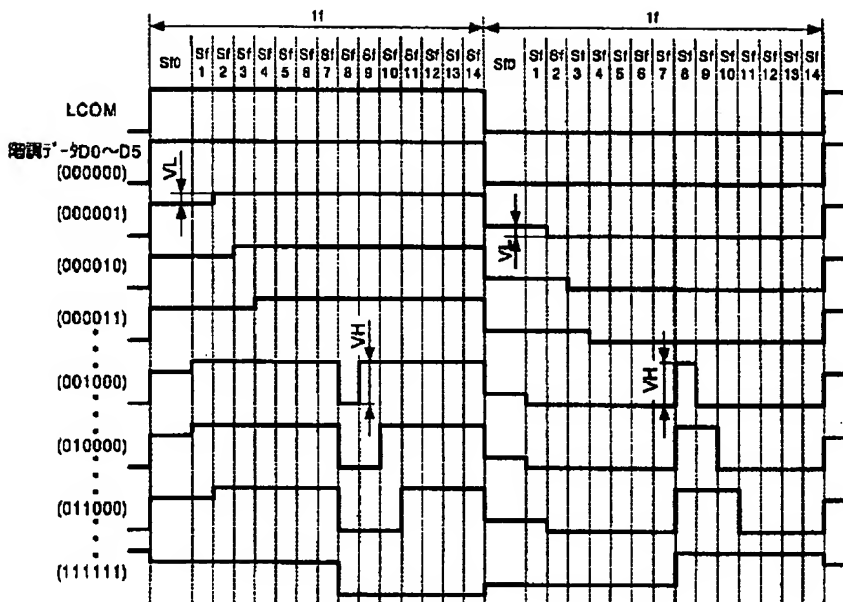
[Drawing 14]

陪側 データ	2 値信号Ds									
	Sf0	Sf1	Sf2	Sf3	Sf4	Sf5	Sf6	Sf7	Sf8	Sf9
000000	0	0	0	0	0	0	0	0	0	0
000001	1	1	0	0	0	0	0	0	0	0
000010	1	1	1	0	0	0	0	0	0	0
000011	1	1	1	1	0	0	0	0	0	0
⋮										
001000	1	0	0	0	1	1	0	0	0	0
⋮										
010000	1	0	0	0	0	0	0	1	0	0
⋮										
011000	1	0	0	0	1	1	0	1	0	0
⋮										
111111	1	1	1	1	1	1	1	1	1	1

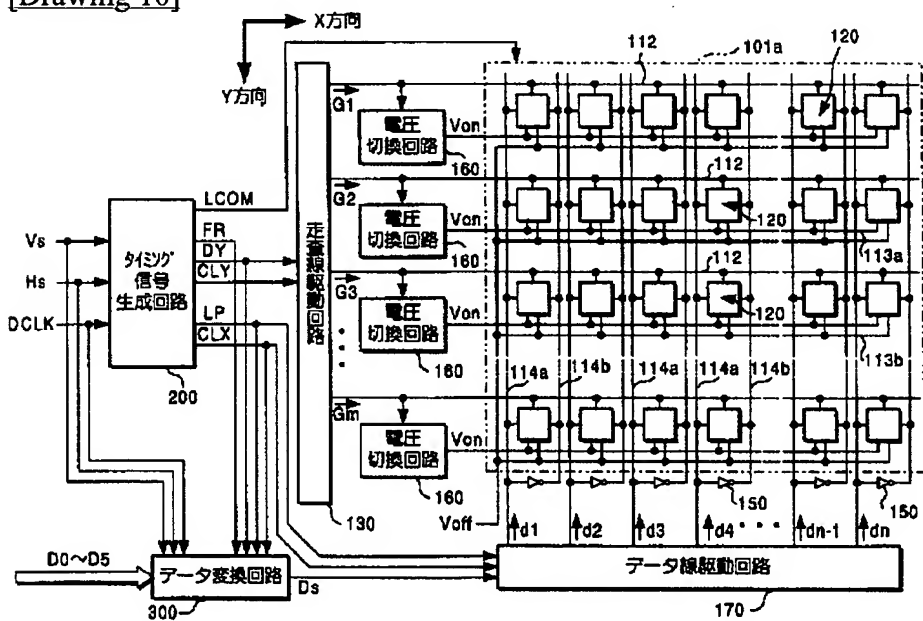
[Drawing 26]



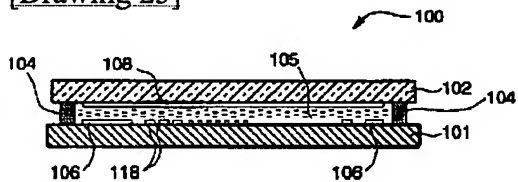
[Drawing 9]



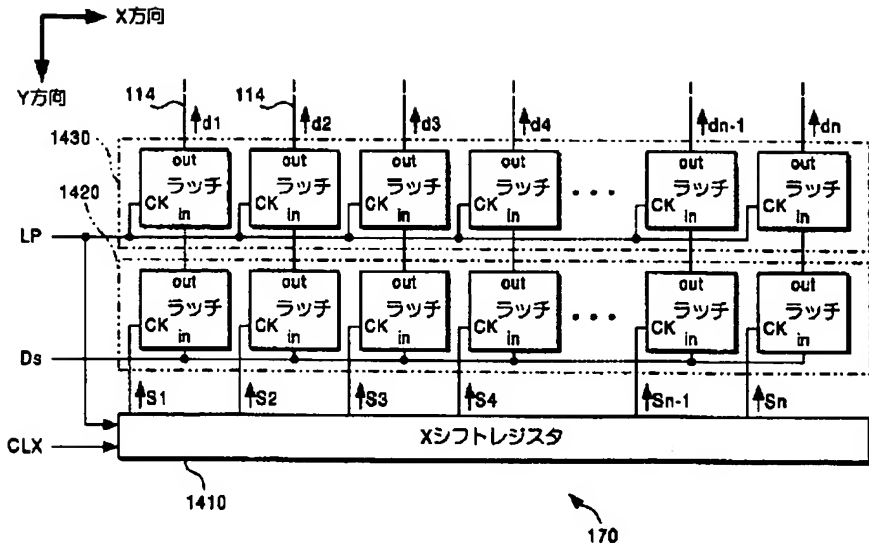
[Drawing 10]



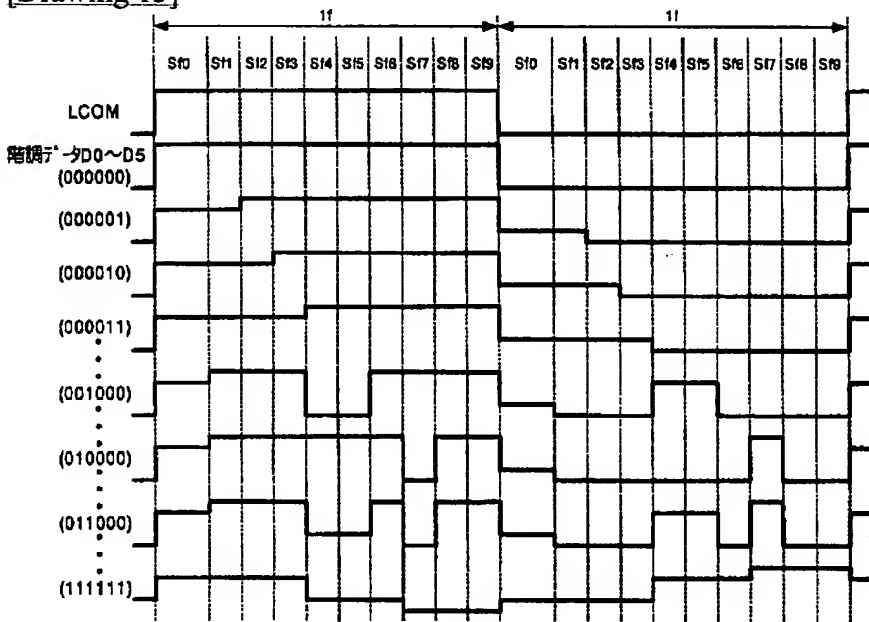
[Drawing 23]



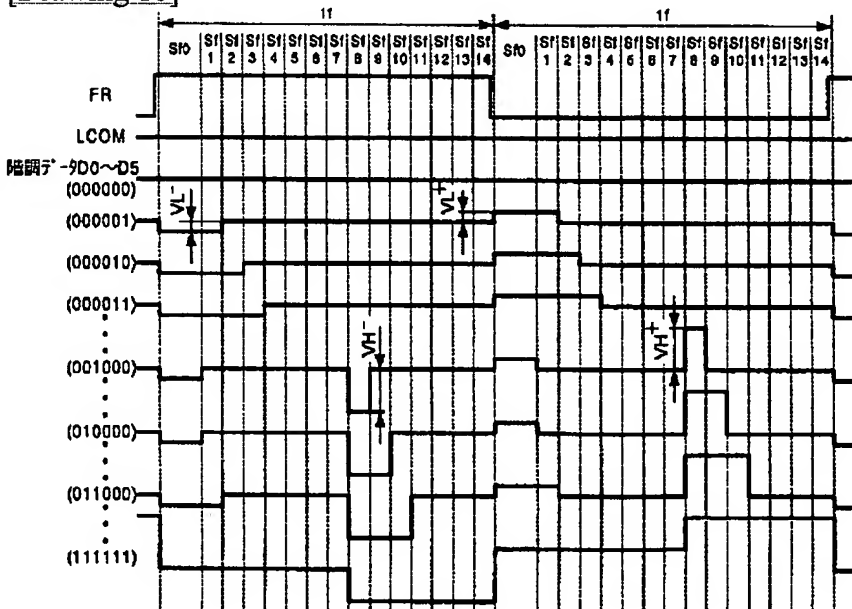
[Drawing 12]



[Drawing 15]

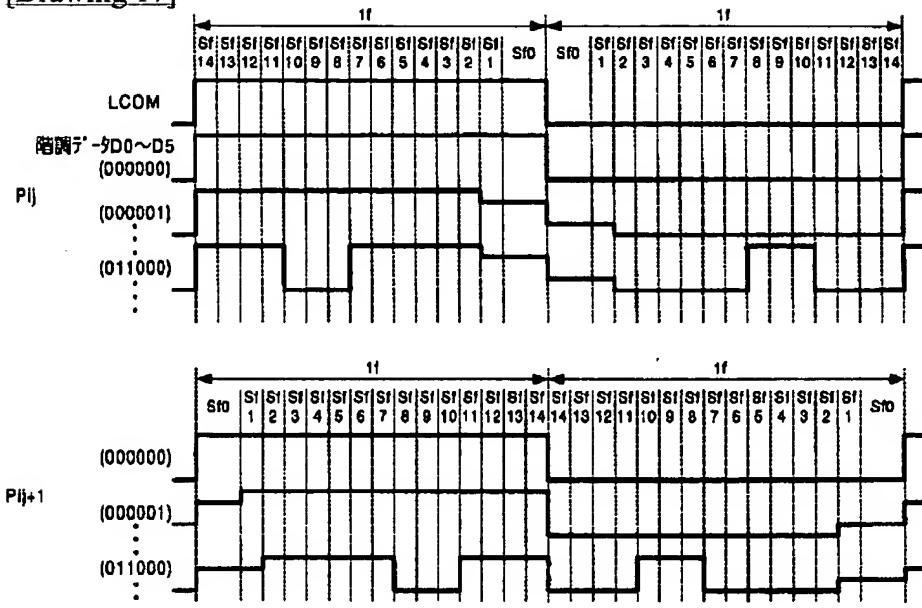


[Drawing 16]

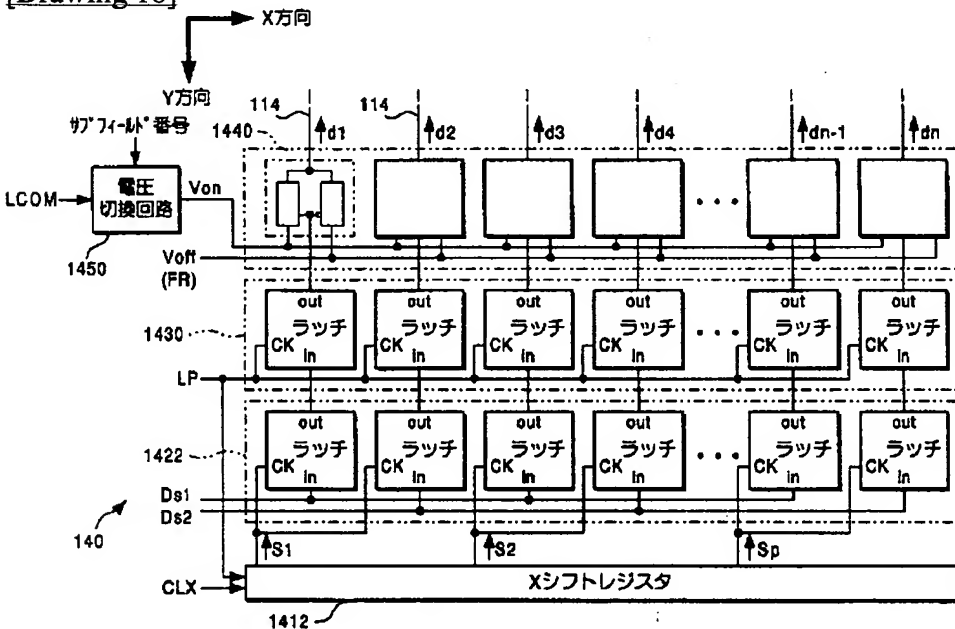




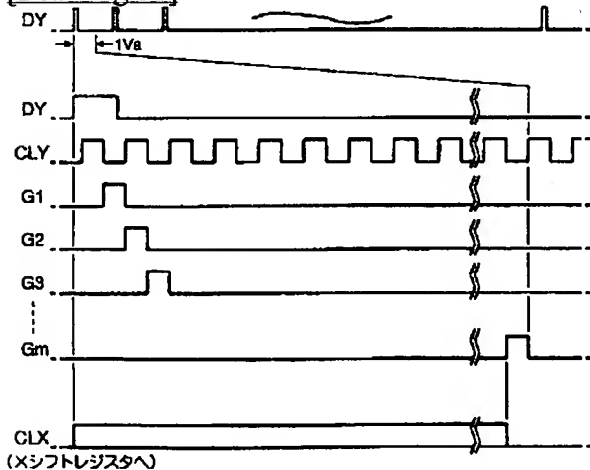
[Drawing 17]



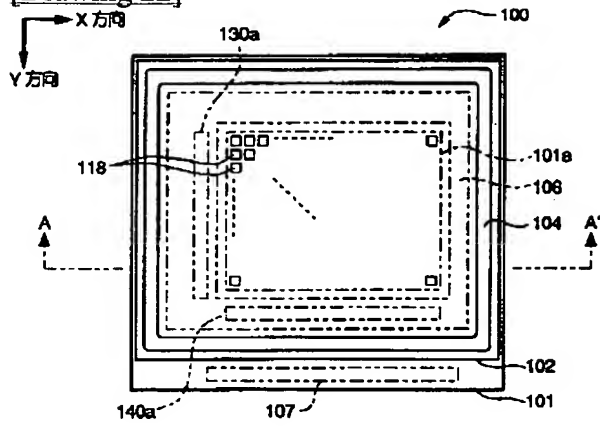
[Drawing 18]



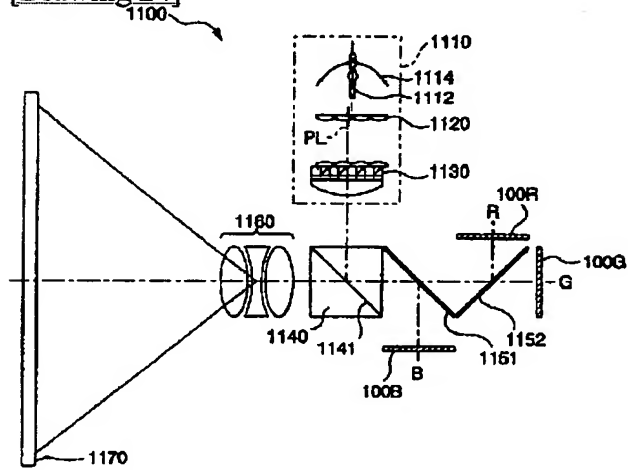
[Drawing 21]



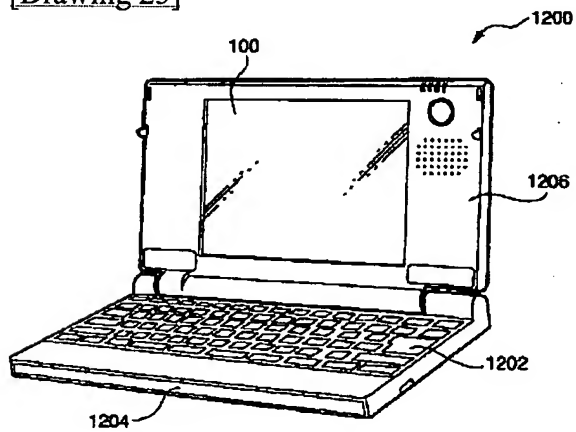
[Drawing 22]



[Drawing 24]



[Drawing 25]



[Translation done.]

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-100700

(43)Date of publication of application : 13.04.2001

(51)Int.Cl.

G09G 3/36  
G02F 1/133  
G09G 3/20

(21)Application number : 11-273114

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 27.09.1999

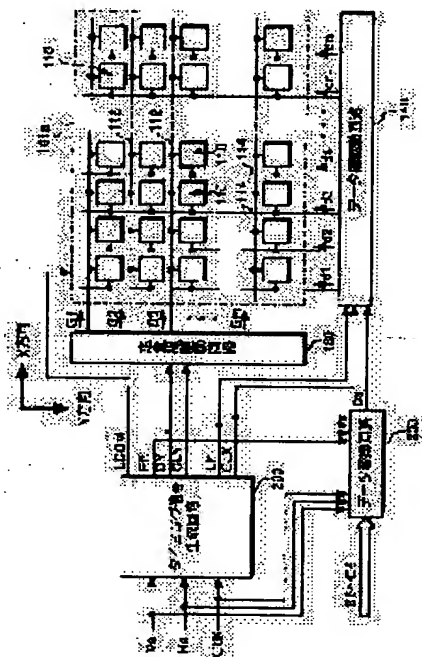
(72)Inventor : ITO AKIHIKO

**(54) METHOD AND CIRCUIT FOR DRIVING ELECTROOPTICAL DEVICE, ELECTROOPTICAL DEVICE AND ELECTRONIC EQUIPMENT**

(57)Abstract:

**PROBLEM TO BE SOLVED:** To perform a high quality gradation display by binarizing a signal applied to a data line.

**SOLUTION:** A data conversion circuit 300 generates a binary signal Ds instructing the application of the signal turning on respective pixels 100 or the signal turning off them in respective plural pieces of sub-fields dividing one frame. A data line drive circuit 140 receives the binary signal Ds, and applies a voltage turning on the pixel or the voltage turning off it at every sub-field dividing one field, and is provided with two kinds or above of the voltages turning on, and the weighting at every sub-field is performed by the voltages. Thus, a minimum sub-field period is secured longer, and the binary signal applied to the pixel is written in surely.

**LEGAL STATUS**

[Date of request for examination]

01.07.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-100700

(P2001-100700A)

(43) 公開日 平成13年4月13日 (2001.4.13)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード <sup>*</sup> (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
	5 7 5		5 7 5 5 C 0 8 0
G 0 9 G 3/20	6 4 1	G 0 9 G 3/20	6 4 1 E

審査請求 未請求 請求項の数11 O L (全 25 頁)

(21) 出願番号 特願平11-273114

(22) 出願日 平成11年9月27日 (1999.9.27)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 伊藤 昭彦

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

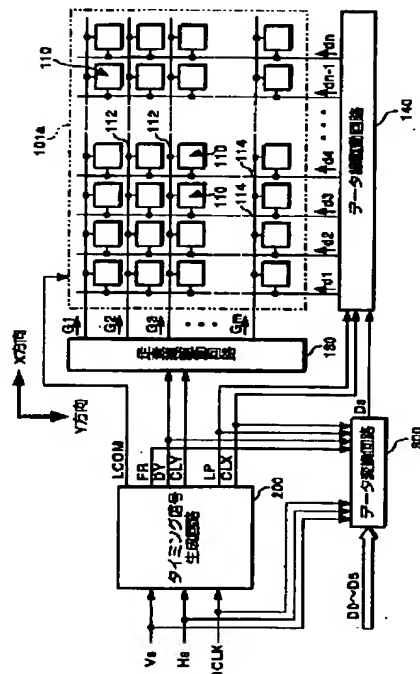
最終頁に続く

(54) 【発明の名称】 電気光学装置の駆動方法、駆動回路及び電気光学装置並びに電子機器

(57) 【要約】

【課題】 データ線に印加される信号を2値化して、高品位な階調表示を行う。

【解決手段】 データ変換回路300は、1フレームを分割した複数のサブフィールドの各々において、各画素100をオンにする信号またはオフにする信号の印加を指示する2値信号Dsを発生する。データ線駆動回路140では、この2値信号Dsを受けて、1フィールドを分割したサブフィールド毎に画素をオンにする電圧またはオフにする電圧を印加すると共に、オンにする電圧の電圧を2種類以上備えて、この電圧によりサブフィールド毎の重み付けを図る。これにより、最小のサブフィールドの期間を、長く確保でき、画素に印加される2値信号を確実に書込むことができる。



## 【特許請求の範囲】

【請求項 1】 フレーム毎に 1 画面分の各画素の階調データを受け取り、これらの階調データに基づいて各画素をオンオフ駆動する電気光学装置の駆動方法であって、1 フレームを分割した複数のサブフィールド毎に画素をオンにする電圧またはオフにする電圧を印加するものであり、前記オンにする電圧の電圧を 2 種類以上備えることを特徴とする電気光学装置の駆動方法。

【請求項 2】 フレーム毎に 1 画面分の各画素の階調データを受け取り、これらの階調データに基づいて、複数のデータ線と複数の走査線との各交差に対応して配設された各画素を駆動する電気光学装置の駆動回路であって、

1 フレームを分割した複数のサブフィールドの各々において、各画素をオンにする電圧またはオフにする電圧の印加を指示する 2 値信号を階調データに基づいて生成するデータ変換回路と、

前記各サブフィールド毎に、データ線から画素への電圧印加を可能にする走査信号を、前記走査線の各々に順次供給する走査線駆動回路と、

前記走査信号が前記走査線に供給される間、前記データ変換回路で生成される 2 値信号に基づいて前記画素をオンにする電圧またはオフにする電圧を印加するためのデータ信号を前記データ線に供給するデータ線駆動回路と、

前記画素をオンにする電圧を切替える電圧切替手段と、を具備したことを特徴とする電気光学装置の駆動回路。

【請求項 3】 隣接する前記画素で、電圧を印加する前記サブフィールドの時間軸上での配置を反転させ、周期的にも前記サブフィールドの時間軸上での配置を反転させたことを特徴とする請求項 2 記載の電気光学装置の駆動回路。

【請求項 4】 複数の走査線と複数のデータ線との各交差に対応して配設された複数の画素を有する電気光学装置であって、

1 フレームを分割した複数のサブフィールドの各々において、各画素をオンにする電圧またはオフにする電圧による印加を指示する 2 値信号を階調データに基づいて生成するデータ変換回路と、

前記各サブフィールド毎に、データ線から画素への電圧印加を可能にする走査信号を、前記走査線の各々に順次供給する走査線駆動回路と、

前記走査信号が前記走査線に供給される間、前記データ変換回路で生成される 2 値信号に基づいて前記画素をオンにする電圧またはオフにする電圧を印加するためのデータ信号を前記データ線に供給するデータ線駆動回路と、

前記画素をオンにする電圧を切替える電圧切替手段と、を具備したことを特徴とする電気光学装置。

【請求項 5】 隣接する前記画素で、電圧を印加する前

記サブフィールドの時間軸上での配置を反転させ、周期的にも前記サブフィールドの時間軸上での配置を反転させたことを特徴とする請求項 4 記載の電気光学装置。

【請求項 6】 前記画素は、

画素電極と、

前記画素電極に対向した対向電極と、

前記画素電極および対向電極間に挟持された電気光学材料と、

前記走査線を介して走査信号が与えられることにより前

10 記データ線を介して供給されるデータ信号を前記画素電極に印加するスイッチング素子と、を具備することを特徴とする請求項 4 記載の電気光学装置。

【請求項 7】 前記画素は、

画素電極と、

前記画素電極に対向した対向電極と、

前記画素電極および対向電極間に挟持された電気光学材料と、

前記走査線を介して走査信号が与えられることにより前

20 記データ線を介して供給されるデータ信号を記憶するメモリと、前記メモリに記憶されたデータ信号に従って、前記画素をオンする電圧またはオフする電圧の一方を選択して前記画素電極に印加する選択回路と、を具備することを特徴とする請求項 4 記載の電気光学装置。

【請求項 8】 前記対向電極に印加されるレベルに応じて、前記 2 値信号をレベル反転することを特徴とする請求項 4 乃至 7 記載の電気光学装置。

30 【請求項 9】 前記対向電極に印加されるレベルを一定に維持し、あるいは周期的にレベル反転させ、この対向電極に印加されるレベルを基準とし、前記画素をオンにする電圧のレベルを一定周期毎に反転することを特徴とする請求項 4 乃至 7 に記載の電気光学装置。

【請求項 10】 前記電圧切替手段は、前記複数の走査線の各々に対応した複数の電圧切替回路を有し、各電圧切替回路は、当該走査線に走査信号が供給されるのと同

40 期したタイミングにおいて、前記画素をオンにする電圧の切替えを行うことを特徴とする請求項 7 に記載の電気光学装置。

【請求項 11】 請求項 4 乃至 10 に記載の電気光学装置を表示装置として備えることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、パルス幅変調により階調表示制御を行う電気光学装置の駆動方法、駆動回路および電気光学装置並びに電子機器に関する。

【0002】

【従来の技術】電気光学装置、例えば、電気光学材料として液晶を用いた液晶表示装置は、陰極線管 (CRT)



に代わるディスプレイデバイスとして、各種情報処理機器の表示部や液晶テレビなどに広く用いられている。

【0003】ここで、従来技術による電気光学装置は、例えば、次のように構成されている。即ち、従来の電気光学装置は、マトリクス状に配列した画素電極と、この画素電極に接続されたTFT (Thin Film Transistor: 薄膜トランジスタ) のようなスイッチング素子などが設けられた素子基板と、画素電極に対向する対向電極が形成された対向基板と、これら両基板との間に充填された電気光学材料たる液晶とから構成される。そして、このような構成において、走査線を介してスイッチング素子に走査信号を印加すると、当該スイッチング素子が導通状態となる。この導通状態の際に、データ線を介して画素電極に、階調レベルに応じた電圧の画像信号を印加すると、当該画素電極および対向電極の間の液晶層に画像信号の電圧に応じた電荷が蓄積される。電荷蓄積後、当該スイッチング素子をオフ状態としても、当該液晶層における電荷の蓄積は、液晶層自身の容量性や蓄積容量などによって維持される。このように、各スイッチング素子を駆動させ、蓄積させる電荷量を階調レベルに応じて制御すると、画素毎に液晶の配向状態が変化するので、画素毎に濃度が変化することになる。このため、液晶表示装置は、階調表示が可能となる。

【0004】この際、各画素の液晶層に電荷を蓄積させるのは一部の期間で良いため、第1に、走査線駆動回路によって、各走査線を順次選択すると共に、第2に、走査線を選択期間では、データ線駆動回路によってデータ線を順次選択し、第3に、選択されたデータ線に、階調レベルに応じた電圧の画像信号をサンプリングする構成により、走査線およびデータ線を複数の画素について共通化した時分割マルチプレックス駆動が可能となる。

#### 【0005】

【発明が解決しようする課題】しかしながら、従来技術による液晶表示装置では、階調レベルに対応してデータ線に印加される画像信号は、アナログ信号である。このため、電気光学装置の周辺回路には、D/A変換回路やオペアンプなどの電気回路が必要となり、装置全体のコスト高や消費電力の増加を招致してしまう。さらに、これらのD/A変換回路、オペアンプなどの特性や、各種の配線抵抗などの不均一性に起因して、表示ムラが発生するため、高品質な表示が極めて困難である、という問題があり、特に、高精細な表示を行う場合に顕著となる。

【0006】本発明は、上述した事情に鑑みてなされたものであり、その目的とするところは、高品質・高精細な階調表示可能な電気光学装置、その駆動方法、その駆動回路、さらには、この電気光学装置を用いた電子機器を提供することにある。

#### 【0007】

【課題を解決するための手段】上記目的を達成するため

に、第1の発明は、フレーム毎に1画面分の各画素の階調データを受け取り、これらの階調データに基づいて各画素をオンオフ駆動する電気光学装置の駆動方法であって、1フレームを分割した複数のサブフィールド毎に画素をオンにする電圧またはオフにする電圧を印加するものであり、前記オンにする電圧の電圧を2種類以上備えることを特徴としている。

【0008】この第1の発明によれば、1フレームにおいて、画素をオン(オフ)する信号の印加期間が、当該画素の階調データに応じてパルス幅変調される結果、実効電圧値の制御による階調表示が行われることになる。この際、各サブフィールドにおいては、画素のオンまたはオフを指示するだけで済むので、画素への指示信号として2値信号を用いることができる。従って、この発明では、画素への印加信号がデジタル信号となるため、素子特性や配線抵抗などの不均一性に起因する表示ムラが抑えられる結果、高品質かつ高精細な階調表示が可能となる。

【0009】また、この発明では、サブフィールドにおいて画素をオンにする電圧の電圧を2種類以上備えているから、サブフィールドの電圧を1値で設定する場合に比べてサブフィールドの個数を少なくすることができ、最小期間にあるサブフィールドであってもその期間を比較的長く確保することができる。この結果、階調レベルに対応したデータ信号を各画素に確実に書込むことができ、当該電気光学装置による階調表示制御を正確に行うことができる。

【0010】なお、本発明では、1フレームとは、水平走査信号および垂直走査信号に同期して水平走査および垂直走査することにより、1枚のラスト画像を形成するのに要する期間という意味合いで用いている。

【0011】また、第2の発明は、フレーム毎に1画面分の各画素の階調データを受け取り、これらの階調データに基づいて、複数のデータ線と複数の走査線との各交差に対応して配設された各画素を駆動する電気光学装置の駆動回路であって、1フレームを分割した複数のサブフィールドの各々において、各画素をオンにする電圧またはオフにする電圧の印加を指示する2値信号を階調データに基づいて生成するデータ変換回路と、前記各サブフィールド毎に、データ線から画素への電圧印加を可能にする走査信号を、前記走査線の各々に順次供給する走査線駆動回路と、前記走査信号が前記走査線に供給される間、前記データ変換回路で生成される2値信号に基づいて前記画素をオンにする電圧またはオフにする電圧を印加するためのデータ信号を前記データ線に供給するデータ線駆動回路と、前記画素をオンにする電圧を切替える電圧切替手段と、を具備したことを特徴とする電気光学装置の駆動回路を提供するものである。

【0012】この第2の発明は、上記第1の発明を電気光学装置の駆動回路として具現化したものであり、上記

第1の発明と同様な効果を奏する。

【0013】また、隣接する前記画素で、電圧を印加する前記サブフィールドの時間軸上での配置を反転させ、周期的にも前記サブフィールドの時間軸上での配置を反転させることが好ましい。

【0014】次に、第3の発明は、複数の走査線と複数のデータ線との各交差に対応して配設された複数の画素を有する電気光学装置であって、1フレームを分割した複数のサブフィールドの各々において、各画素をオンにする電圧またはオフにする電圧による印加を指示する2値信号を階調データに基づいて生成するデータ変換回路と、前記各サブフィールド毎に、データ線から画素への電圧印加を可能にする走査信号を、前記走査線の各々に順次供給する走査線駆動回路と、前記走査信号が前記走査線に供給される間、前記データ変換回路で生成される2値信号に基づいて前記画素をオンにする電圧またはオフにする電圧を印加するためのデータ信号を前記データ線に供給するデータ線駆動回路と、前記画素をオンにする電圧を切換える電圧切換手段と、を具備したことを特徴とする電気光学装置を提供するものである。

【0015】この第3の発明は、上記第1の発明を電気光学装置として具現化したものであり、上記第1の発明と同様な効果を奏する。

【0016】また、隣接する前記画素で、電圧を印加する前記サブフィールドの時間軸上での配置を反転させ、周期的にも前記サブフィールドの時間軸上での配置を反転させることが好ましい。

【0017】この第3の発明の他の態様において、前記画素は、画素電極と、前記画素電極に対向した対向電極と、前記画素電極および対向電極間に挟持された電気光学材料と、前記走査線を介して走査信号が与えられることにより前記データ線を介して供給されるデータ信号を前記画素電極に印加するスイッチング素子と、を具備するものである。

【0018】また、この発明の他の態様において、前記画素は、画素電極と、前記画素電極に対向した対向電極と、前記画素電極および対向電極間に挟持された電気光学材料と、前記走査線を介して走査信号が与えられることにより前記データ線を介して供給されるデータ信号を記憶するメモリと、前記メモリに記憶されたデータ信号に従って、前記画素をオンする電圧またはオフする電圧の一方を選択して前記画素電極に印加する選択回路と、を具備するものである。

【0019】この発明に係る電気光学装置においては、前記対向電極に印加されるレベルに応じて、前記2値信号をレベル反転することが好ましい。

【0020】また、前記対向電極に印加されるレベルを一定に維持し、あるいは周期的にレベル反転させ、この対向電極に印加されるレベルを基準とし、前記画素をオンにする電圧のレベルを一定周期毎に反転することが好

ましい。

【0021】さらに、前記電圧切換手段は、前記複数の走査線の各々に対応した複数の電圧切換回路を有し、各電圧切換回路は、当該走査線に走査信号が供給されるのと同期したタイミングにおいて、前記画素をオンにする電圧の切換えを行うことが好ましい。

【0022】このような構成とすることにより、画素に印加される電圧を交流化することができ、画質の劣化を防止することができる。

【0023】この発明は、上記電気光学装置自体を単体で製造または販売する他、この電気光学装置を表示装置として備えた電子機器として製造または販売するという態様で実施することも可能である。

【0024】

【発明の実施の形態】以下、本発明の実施形態について図面を参照して説明する。まず、本実施形態に係る電気光学装置は、電気光学材料として液晶を用いた液晶装置であり、後述するように素子基板と対向基板とが、互いに一定の間隙を保って貼付され、この間隙に電気光学材料たる液晶が挟持される構成となっている。また、本実施形態に係る電気光学装置では、素子基板として半導体基板が用いられ、ここに、画素を駆動するトランジスタと共に、周辺駆動回路などが形成されたものである。

【0025】＜本実施形態における電気光学装置の駆動方法＞まず、本実施形態に係る装置の理解を容易にするため、本実施形態による電気光学装置の駆動方法について説明する。

【0026】一般に、電気光学材料として液晶を用いた液晶装置において、液晶層に印加される電圧と透過率（または反射率）との関係は、電圧無印加状態において黒表示を行うノーマリーブラックモードを例にとれば、図5に示されるような関係にある。即ち、液晶層への電圧実効値（電圧を一定として、オン電圧のパルス幅を変える）が増すにつれて、透過率が非線形に増加して飽和する。なお、ここでいう透過率とは、透過光量の最低値および最高値を、それぞれ0%および100%として正規化したものである。

【0027】ここで、本実施形態に係る電気光学装置が64階調表示を行うものとし、6ビットで示される階調（濃淡）データが、それぞれ同図に示される透過率を指示するものとする。この際、各透過率において液晶層に印加される電圧を、それぞれV0～V63とすると、従来ではこれらの電圧V0～V63自体を、液晶層に印加する構成となっていた。このため、特に、中間階調に対応する電圧V1～V62については、D/A変換回路やオペアンプなどのアナログ回路の特性や、各種の配線抵抗などのばらつきによる影響によって、画素間に亘って不均一となり易い。従って、従来の構成では、高品質かつ高精細な階調表示が困難であった。

【0028】そこで、本実施形態では、次のようにして

液晶層に対する電圧の印加を行う。

【0029】(1) 1フレームを複数のサブフィールドに分割し、各サブフィールド単位で液晶層に対する電圧印加を行う。

【0030】各サブフィールドにおいて液晶層に印加する電圧は、 $V_{on}$ 、 $V_{off}$ の2種類のいずれかである。ここで、電圧 $V_{on}$ は、画素をオンにする電圧、即ち、液晶層の透過率を高めることに寄与し得る電圧である。また、電圧 $V_{off}$ は画素をオフにする電圧、即ち、液晶層の透過率を高めることに全く寄与しない電圧である。

【0031】(2) いずれのサブフィールドにおいて電圧印加を行うかは、画素に対応した階調データにより決定する。

【0032】電圧 $V_{on}$ が液晶層の透過率の上昇にどの程度寄与するかは、その印加時間に依存することとなる。従って、電圧 $V_{on}$ の印加を行うサブフィールドを階調データに応じて選択し、階調データが小さい場合には電圧 $V_{on}$ の印加時間を短くして、液晶層に対する実効印加電圧を小さくし、階調データが大きい場合には電圧 $V_{on}$ の印加時間を長くして、液晶層に対する実効印加電圧を大きくするのである。

【0033】(3) 1フレームを複数のサブフィールドに分割する際、各サブフィールドの長さを不均一にしてもよい。

【0034】即ち、時間長が長く、電圧 $V_{on}$ の印加が液晶透過率の上昇に寄与する度合いが大きいサブフィールドと、時間長が短く、電圧 $V_{on}$ の印加が液晶透過率の上昇に寄与の度合いが小さいサブフィールドとを設けてもよい。この場合において、各サブフィールドの長さを階調データの各ビットの重みに対応させてもよい。

【0035】(4) 電圧 $V_{on}$ は、一部のサブフィールドにおいて他のサブフィールドのものよりも低い電圧とする。

【0036】これは多階調表示を行う際に生じるデータ書込時間の不足の問題を回避するためである。即ち、次の通りである。

【0037】本実施形態のように、印加時間の長短により階調の高低を制御する方法を採った場合、階調を細かな刻み幅で変化させるためには、極めて時間長の短いサブフィールドを設ける必要がある。

【0038】しかし、液晶パネルのような電気光学装置は、縦横に並んだ多数の画素に電圧 $V_{on}$ または $V_{off}$ を与えて画像表示を行うものであり、全ての画素への電圧印加を行うためには、ある程度の時間を要してしまう。そして、サブフィールドがあまりに短いと、このサブフィールドの期間内に全ての画素への電圧印加を行うことができなくなる。このようにサブフィールドを短くするのに限界があることから、サブフィールドの時間長を短くするのみでは高階調表示を実現することが困難な

のである。

【0039】そこで、本実施形態では、液晶の透過率の上昇に対する寄与度の低いサブフィールドを設けるに当たり、そのサブフィールドにおける電圧 $V_{on}$ を他のサブフィールドのものよりも低い電圧とし、その代わりに、当該サブフィールドの時間長を本来の時間長（すなわち、他のサブフィールドと同じ電圧 $V_{on}$ を用いた場合の時間長）よりも長くした。

【0040】具体的には、本実施形態において、階調データの上位ビットに対応したサブフィールドでは図4における電圧 $V_H$ を電圧 $V_{on}$ として印加するが、下位ビットに対応したサブフィールドでは電圧 $V_L$ を電圧 $V_{on}$ として印加する。電圧 $V_{off}$ は、いずれのサブフィールドでも、電圧 $V_0 (=0V)$ を用いる。

【0041】なお、電圧 $V_{on}$ は、2種類に限らず、3種類以上としてもよい。

【0042】＜電気的な構成＞次に、本実施形態に係る電気光学装置の電気的な構成について説明する。図1は、素子基板に形成された回路の構成が示されている。

【0043】図1に示すように、素子基板上における表示領域101aには、複数本の走査線112がX（行）方向に延在して形成され、複数本のデータ線114がY（列）方向に沿って延在して形成されている。そして、画素110は、走査線112とデータ線114との各交差に対応して設けられて、マトリクス状に配列している。本実施形態では、説明の便宜上、走査線112の総本数をm本とし、データ線114の総本数をn本として（m、nはそれぞれ2以上の整数）、m行×n列のマトリクス型表示装置として説明するが、本発明をこれに限定する趣旨ではない。

【0044】画素110の具体的な構成としては、例えば、図2(a)に示されるものが挙げられる。この構成では、トランジスタ（MOS型FET）116のゲートが走査線112に、ソースがデータ線114に、ドレインが画素電極118に、それぞれ接続されると共に、画素電極118と対向電極108との間に電気光学材料たる液晶105が挟持されて液晶層が形成されている。ここで、画素電極118と後述するLCOMとの間には蓄積容量119が形成されている。この蓄積容量は、トランジスタ116を介して画素電極118に電圧が印加された後、この印加電圧を必要な時間だけほぼ一定に維持するために設けられた容量である。本実施形態では、蓄積容量119は、画素電極118とLCOMの間に形成したが、画素電極118と接地電位GND間や画素電極118と走査線112等に形成しても良い。また、対向電極108は、画素電極118と対向するように対向基板の一面に形成される透明電極である。

【0045】図2(a)に示される構成では、トランジスタ116として一方のチャネル型のみが用いられている。従って、データ線114からトランジスタ116を

介して画素電極118への充電を行う際、画素電極118に対する印加電圧が、走査線112上の電圧よりもトランジスタ116の閾値電圧だけ低い電圧に達すると、トランジスタ116がオフ状態となり、画素電極118に対する充電が止まってしまう。このため、走査線112に対する印加電圧がデータ線114に対する印加電圧よりもトランジスタ116の閾値電圧分だけ高くない場合には、画素電極118に対する印加電圧をデータ線114上の電圧に一致させることができず、両電圧間にオフセット電圧が生じることとなる。

【0046】これに対し、図2(b)に示すように、Pチャネル型トランジスタとNチャネル型トランジスタとを相補的に組み合わせた構成とすれば、このようなオフセット電圧を生じさせることなく、データ線114上の電圧を極めて少ない誤差で画素電極118に印加させることができる。ただし、この相補型構成では、走査信号として互いに排他的レベルを供給する必要があるため、1行の画素110に対して走査線112a、112bの2本が必要となる。

【0047】図1において、タイミング信号生成回路200は、図示せぬ上位装置から供給される垂直走査信号Vs、水平走査信号Hsおよびドットクロック信号CLKに基づいて、各種のタイミング信号やクロック信号などを生成する装置である。このタイミング信号生成回路200によって生成される信号のうち主要なものを列挙すると次の通りである。

【0048】a. 交流化駆動論理信号FR

この交流化駆動論理信号FRは、後述する交流化駆動信号LCOMのHレベル、Lレベルを指定するものである。

【0049】b. 交流化駆動信号LCOM

この交流化駆動信号LCOMは、対向基板の対向電極108(図2参照)に印加される。本実施形態において交流化駆動信号LCOMは、VCC(Hレベル)からV0(Lレベル)へ、LレベルからHレベルへ、という具合に1フレーム毎にレベル反転を繰り返す。そして、交流化駆動信号LCOMは、交流化駆動論理信号FRに対してラッチ信号LPの1クロック分位相が遅れたものである。

【0050】c. スタートパルスDY

このスタートパルスDYはサブフィールドの最初に出力されるパルス信号である。本実施形態では、1フレームを15分割してサブフィールドSf0~Sf14を設ける。従って、これらの各サブフィールドの最初において、このスタートパルス信号DYが出力されることになる。

【0051】d. クロック信号CLY

このクロック信号CLYは、走査側(Y側)の水平走査期間を規定する信号である。

【0052】e. ラッチ信号LP

このラッチ信号LPは、水平走査期間の最初に出力されるパルス信号であって、クロック信号CLYのレベル遷移(即ち、立ち上がりおよび立ち下がり)時に出力されるものである。

【0053】f. クロック信号CLX

このクロック信号CLXは、いわゆるドットクロックにより規定される信号である。

【0054】以上がタイミング信号生成回路200によって生成される主要な信号の概要である。

10 【0055】図1において、走査線駆動回路130は、いわゆるYシフトレジスタと呼ばれるものであり、サブフィールドの最初に供給されるスタートパルスDYをクロック信号CLYに基づいて転送し、走査線112の各々に走査信号G1、G2、G3、…、Gmとして順次排他的に供給するものである。

【0056】また、データ線駆動回路140は、ある水平走査期間において2値信号Dsをデータ線114の本数に相当するn個順次ラッチした後、ラッチしたn個の2値信号Dsを、次の水平走査期間において、それぞれ対応するデータ線114にデータ信号d1、d2、d3、…、dnとして一斉に供給するものである。このデータ線駆動回路140の具体的な構成は、図3に示される通りである。

20 【0057】図3に示すように、このデータ線駆動回路140は、Xシフトレジスタ1410と、第1のラッチ回路1420と、第2のラッチ回路1430と、電圧選択回路1440とによって構成されている。

【0058】ここで、Xシフトレジスタ1410は、水平走査期間の最初に供給されるラッチ信号LPをクロック信号CLXに基づいて転送し、ラッチ信号S1、S2、S3、…、Snとして順次排他的に供給するものである。

【0059】第1のラッチ回路1420は、2値信号Dsをラッチ信号S1、S2、S3、…、Snの立ち下がりにおいて順次ラッチするものである。

【0060】第2のラッチ回路1430は、第1のラッチ回路1420によりラッチされた2値信号Dsの各々をラッチ信号LPの立ち下がりにおいて一斉にラッチして信号を各々出力するものである。

40 【0061】電圧選択回路1440は、第2のラッチ回路1430から出力される信号を受けて電圧VonまたはVoffを選択して出力するため、2個のスイッチング素子によって構成されている。そして、電圧選択回路1440では、第2のラッチ回路1430によりラッチされた信号に応じて電圧VonまたはVoff(LCOM)のうちいずれか一方を選択し、データ信号d1、d2、d3、…、dnを各々のデータ線114に供給するものである。

50 【0062】次に、電圧切換回路1450は、サブフィールドSf0~Sf7においては電圧VLをVonとし

て出力し、その他のサブフィールドにおいては電圧VHをVonとして出力するものである。これにより、前記電圧選択回路1440から出力されるデータ信号d1～dnは、電圧VH、VLによって重み付けされる。

【0063】ここで、電圧切換回路1450は、具体的には図4に示すように構成され、交流化駆動信号LCOMを受けて、LCOMのH/Lレベルに応じた電圧VH、VLを発生する基準電圧発生回路1451と、サブフィールドSf0～Sf7の期間セットされ、サブフィールドSf8～Sf14の期間リセットされるフリップフロップ回路1452と、該フリップフロップ回路1452の出力信号を受けて前記基準電圧発生回路1451から出力される電圧VH、VLを選択するスイッチング素子1453とによって構成されている。

【0064】これにより、電圧切換回路1450は、サブフィールドSf0～Sf7のときには電圧VLを有するVonを出力し、サブフィールドSf8～Sf14のときには電圧VHを有するVonを出力するものである。

【0065】さて、このようにサブフィールドSf0～Sf14毎に、階調レベルに応じて電圧V0、VLおよびVHを画素に書き込むためには、画素に対応する階調データを何らかの形でこれらの電圧のいずれかを指示する信号に変換する必要がある。この変換を行うものが、図1におけるデータ変換回路300である。

【0066】このデータ変換回路300は、垂直走査信号Vs、水平走査信号Hsおよびドットクロック信号DCLKに同期して供給され、かつ、画素毎に対応する6ビットの階調データD0～D5を、サブフィールドSf0～Sf14毎に2値信号Ds（0または1）に変換する構成となっている。

【0067】また、データ変換回路300は、階調データD0～D5を2値信号Dsに変換する必要がある。具体的には、データ変換回路300は、階調データD0～D5に対応する2値信号Dsを、図7に示される内容に基づいて出力する構成となっている。

【0068】なお、この2値信号Dsについては、走査線駆動回路130およびデータ線駆動回路140における動作に同期して出力する必要があるので、データ変換回路300には、スタートパルスDYと、水平走査に同期するクロック信号CLYと、水平走査期間の最初を規定するラッチ信号LPと、ドットクロック信号DCLKに相当するクロック信号CLXとが供給されている。また、上述したように、データ線駆動回路140では、ある水平走査期間において、第1のラッチ回路1420が点順次的に2値信号Dsをラッチした後、次の水平走査期間において、第2のラッチ回路1430が、データ信号d1、d2、d3、…、dnとして一斉に各データ線114に供給する構成となっているので、データ変換回路300は、走査線駆動回路130およびデータ線駆動

回路140における動作と比較して、1水平走査期間だけ先行するタイミングで2値信号Dsを出力する構成となっている。

【0069】次に、前述した2値信号Dsを生成するためのデータ変換回路300の具体的な構成について説明する。ここで、図6はこのデータ変換回路300の回路構成を示すブロック図である。また、図7は同データ変換回路300の機能を示す真理値表である。

【0070】図6に示すように、データ変換回路300は、駆動パターンメモリ301により構成されている。

【0071】駆動パターンメモリ301は、サブフィールド番号と階調データの各組み合わせ毎に画素のオン/オフを指定する1ビットのオンオフデータ（図7参照）を記憶している。そして、駆動パターンメモリ301には、サブフィールド番号と階調データとがアドレスとして与えられる。

【0072】ここで、サブフィールド番号は、1フレーム内における各サブフィールドの番号であり、「0」～「14」までのいずれかの値である。このサブフィールド番号を生成する方法に関しては各種考えられるが、例えば、データ変換回路300の内部に、スタートパルスDYを計数すると共に、当該カウンタ結果を交流化駆動論路信号FRのレベル遷移（立ち上がりおよび立ち下がり）でリセットするカウンタを設けて、当該カウンタ結果を参照することで、現状のサブフィールドを認識してサブフィールド番号を設定することも可能である。

【0073】また、図7は、階調データに対する2値信号Ds（サブフィールド番号に対する電圧Von、Voffの選択）との関係を示している。即ち、駆動パターンメモリ301には、図7に示す真理値表において“1”と“0”とからなるオンオフデータが記憶されている。

【0074】そして、駆動パターンメモリ301は、このようにして得られるサブフィールド番号と階調データとの組み合わせに対応した2値信号Dsをデータ線駆動回路140に向けて出力する。

【0075】そして、2値信号Dsによって電圧Vonが選択されているとき（即ち、オンオフデータが“1”であるとき）、電圧切換回路1450および電圧選択回路1440により、サブフィールドがSf0からSf7である場合には電圧VLにより重み付けされ、サブフィールドがSf8からSf14である場合には電圧VHにより重み付けされたデータ信号d1～dnに変換される。

【0076】次に、階調データに対応してサブフィールド毎に印加される電圧について具体的に説明する。

【0077】まず、階調データが（000001）である場合、当該画素の透過率を1.59（=1/63）%とすべきであり、そのためには図示の実効電圧値V1を画素に対して印加する必要がある。そこで、本実施形態

10

20

30

40

50

では、当該画素の画素電極118および対向電極108間に印加される電圧が、サブフィールドSf0およびSf1においては $V_{on}=V_L$ となり、他のサブフィールドにおいては $V_{off}=V_0 (=0V)$ となるように、画素電極118に対する電圧の印加を行う。ここで、画素に印加される実効電圧値は、電圧瞬時値の2乗を1周期(フレーム)に亘って平均化した平方根によって求められるから、サブフィールドSf0およびSf1の長さを、1フレームに対して $(V_1/V_L)^2$ を乗じた時間とすれば、階調データ(000001)に対応した実効電圧値V1を画素に印加することができる。

【0078】また、階調データが(000010)である場合、当該画素の透過率を3.17(=2/63)%とすべきであり、そのためには図示の実効電圧値V2を画素に対して印加する必要がある。そこで、本実施形態では、当該画素の画素電極118および対向電極108間に印加される電圧が、サブフィールドSf0、Sf1およびSf2においては $V_{on}=V_L$ となり、他のサブフィールドにおいては $V_{off}=V_0 (0V)$ となるように、画素電極118に対する電圧の印加を行う。ここで、画素に印加される実効電圧値は、電圧瞬時値の2乗を1周期(1フレーム)に亘って平均化した平方根によって求められるから、サブフィールドSf0~Sf2の長さを、1フレームに対して $(V_2/V_L)^2$ を乗じた時間とすれば、階調データ(000010)に対応した実効電圧値V2を画素に印加することができる。

【0079】同様に、階調データが(000011)である場合、当該画素の透過率を4.76(=3/63)%とすべきである。そこで、本実施形態では、当該画素の画素電極118と対向電極108間に印加される電圧が、サブフィールドSf0~Sf3においては $V_{on}=V_L$ となり、他のサブフィールドにおいては $V_{off}=V_0 (=0V)$ となるように、画素電極118に対する電圧の印加を行う。ここで、画素に印加される実効電圧値は、電圧瞬時値の2乗を1周期(1フレーム)に亘って平均化した平方根によって求められるから、サブフィールドSf0~Sf3の長さを、1フレームに対して $(V_3/V_L)^2$ を乗じた時間とすれば、階調データ(000011)に対応した実効電圧値V3を画素に印加することができる。

【0080】さらに、階調データが(001000)である場合、当該画素の透過率を12.7(=8/63)%とすべきであり、そのためには図示の実効電圧値V8を画素に対して印加する必要がある。そこで、本実施形態では、当該画素の画素電極118および対向電極108間に印加される電圧が、サブフィールドSf0においては $V_{on}=V_L$ とし、サブフィールドSf8においては $V_{on}=V_H$ とし、残りのサブフィールドにおいては $V_{off}=V_0 (=0V)$ となるように、画素電極118に対する電圧の印加を行う。この電圧の印加によ

て、1フレームに対して階調データ(001000)に対応した実効電圧値V8を画素に印加することができる。

【0081】以下、同様に、階調データに対するサブフィールドSf4~Sf14の時間と電圧を設定することにより、他の階調データについても同様に、画素への電圧印加を行うこととなる。

【0082】このようにして、サブフィールドSf0~Sf14に対して階調データに応じた電圧を画素に印加する構成とすることにより、各サブフィールド毎に当該液晶層に印加される電圧が $V_H$ 、 $V_L$ および $V_0$ であるにもかかわらず、各透過率に対応して64階調の表示が可能となる。なお、図8に図示したサブフィールドSf1~Sf14の期間を、便宜上等しい幅としているが、個々にその長さが異なるものであってもよい。

【0083】<動作>次に、上述した実施形態に係る電気光学装置の動作について説明する。図8は、この電気光学装置の動作を説明するためのタイミングチャートである。

【0084】まず、交流化駆動信号LCOMは、1フレーム(1f)毎にレベル反転して、対向電極108に印加される。一方、スタートパルスDYは、上述したように1フレーム(1f)を分割した各サブフィールドの開始時に供給される。

【0085】ここで、交流化駆動信号LCOMがLレベルとなる1フレーム(1f)において、サブフィールドSf0の開始を規定するスタートパルスDYが供給されると、走査線駆動回路130(図1参照)におけるクロック信号CLYに準じた転送によって、走査信号G1、G2、G3、…、Gmが期間(1Va)に順次排他的に出力される。なお、期間(1Va)は、最も短いサブフィールドよりもさらに短い期間に設定されている。

【0086】さて、走査信号G1、G2、G3、…、Gmは、それぞれクロック信号CLYの半周期に相当するパルス幅を有し、また、上から数えて1本目の走査線112に対応する走査信号G1は、スタートパルスDYが供給された後、クロック信号CLYが最初に立ち上がった後、少なくともクロック信号CLYの半周期だけ遅延して出力される構成となっている。従って、サブフィールドの最初にスタートパルスDYが供給されてから、走査信号Y1が出力されるまでに、ラッチ信号LPの1ショット(G0)がデータ線駆動回路140に供給されることになる。

【0087】そこで、このラッチ信号LPの1ショット(G0)が供給された場合について検討してみる。まず、このラッチ信号LPの1ショット(G0)がデータ線駆動回路140に供給されると、データ線駆動回路140(図3参照)におけるクロック信号CLXに基づいて転送され、ラッチ信号S1、S2、S3、…、Snが水平走査期間(1H)に順次排他的に出力される。な



お、ラッチ信号  $S1$ 、 $S2$ 、 $S3$ 、…、 $S_n$  は、それぞれクロック信号  $CLX$  の半周期に相当するパルス幅を有している。

【0088】この際、図3における第1のラッチ回路1420は、ラッチ信号  $S1$  の立ち下がりにおいて、上から数えて1本目の走査線112と、左から数えて1本目のデータ線114との交差に対応する画素110への2値信号  $D_s$  をラッチし、次に、ラッチ信号  $S2$  の立ち下がりにおいて、上から数えて1本目の走査線112と、左から数えて2本目のデータ線114との交差に対応する画素110への2値信号  $D_s$  をラッチし、以下、同様に、上から数えて1本目の走査線112と、左から数えて  $n$  本目のデータ線114との交差に対応する画素110への2値信号  $D_s$  をラッチする。

【0089】これにより、まず、図1において上から1本目の走査線112との交差に対応する画素1行分の2値信号  $D_s$  が、第1のラッチ回路1420により点順次的にラッチされることになる。なお、データ変換回路300は、第1のラッチ回路1420によるラッチのタイミングに合わせて、各画素の階調データ  $D0 \sim D5$  を2値信号  $D_s$  に変換して出力することはいうまでもない。また、ここでは、交流化駆動信号  $LCOM$  が  $L$  レベルの場合を想定しているため、図7に示されるテーブルが参照され、さらに、サブフィールド  $Sf1$  に相当する2値信号  $D_s$  が、階調データ  $D0 \sim D5$  に応じて出力されることになる。

【0090】次に、クロック信号  $CLY$  が立ち下がって、走査信号  $G1$  が出力されると、図1において上から数えて1本目の走査線112が選択される結果、当該走査線112との交差に対応する画素110のトランジスタ116がすべてオン状態となる。一方、当該クロック信号  $CLY$  の立ち下がりによってラッチ信号  $LP$  が出力される。そして、このラッチ信号  $LP$  の立ち下がりタイミングにおいて、第2のラッチ回路1430は、第1のラッチ回路1420によって点順次的にラッチされた2値信号  $D_s$  を、対応するデータ線114の各々にデータ信号  $d1$ 、 $d2$ 、 $d3$ 、…、 $d_n$  として一斉に供給する。このため、上から数えて1行目の画素110においては、データ信号  $d1$ 、 $d2$ 、 $d3$ 、…、 $d_n$  の書込みが同時に行われることとなる。

【0091】この書込みと並行して、図1において上から2本目の走査線112との交差に対応する画素1行分の2値信号  $D_s$  が、第1のラッチ回路1420により点順次的にラッチされる。

【0092】そして、以降同様な動作が、 $m$  本目の走査線112に対応する走査信号  $G_m$  が出力されるまで繰り返される。即ち、ある走査信号  $G_i$  ( $i$  は、 $1 \leq i \leq m$  を満たす整数) が出力される1水平走査期間(1H)においては、 $i$  本目の走査線112に対応する画素110の1行分に対するデータ信号  $d1 \sim d_n$  の書込みと、

( $i+1$ ) 本目の走査線112に対応する画素110の1行分に対する2値信号  $D_s$  の点順次的なラッチとが並行して行われることになる。なお、画素110に書込まれたデータ信号は、次のサブフィールド  $Sf2$  において書込まれるまで保持される。

【0093】以下同様な動作が、サブフィールドの開始を規定するスタートパルス  $DY$  が供給される毎に繰り返される。ただし、データ変換回路300は、階調データ  $D0 \sim D5$  から2値信号  $D_s$  への変換については、サブフィールド  $Sf0 \sim Sf14$  のうち、対応するサブフィールドの項目が参照される。

【0094】さらに、1フレーム経過後、交流化駆動信号  $LCOM$  が  $H$  レベルに反転した場合においても、各サブフィールドにおいて同様な動作が繰り返される。ただし、階調データ  $D0 \sim D5$  から2値信号  $D_s$  への変換については、図7(b)に示されるテーブルが参照されることになる。

【0095】次に、データ駆動回路140による画素110の液晶層への印加に印加されるデータ信号の電圧について検討する。図9は、階調データと、画素110における画素電極118への印加波形を示すタイミングチャートである。

【0096】例えば、交流化駆動信号  $LCOM$  が  $L$  レベルである場合に、ある画素の階調データ  $D0 \sim D5$  が(000000)であるとき、図7に示される変換内容に従う結果、当該画素の画素電極118には、図9に示されるように、1フレーム(1f)に亘って電圧  $V0$  が書込まれる。ここで、当該液晶層に印加される実効電圧値は  $V0$  となる。従って、当該画素の透過率は、階調データ(000000)に対応して0%となる。

【0097】また、ある画素の階調データ  $D0 \sim D5$  が(000011)であるとき、図7に示される変換内容に従う結果、当該画素の画素電極118には、図9に示されるように、サブフィールド  $Sf0 \sim Sf3$  においては電圧  $V_L$  の  $V_{on}$  が、以降のサブフィールド  $Sf4 \sim Sf14$  においては電圧  $V0$  の  $V_{off}$  が、それぞれ書込まれる。ここで、サブフィールド  $Sf0 \sim Sf3$  の期間が1フレーム(1f)において占める割合は  $(V3/V_L)^2$  であり、この期間に電圧  $V_L$  が書込まれるの

で、1フレームにおいて当該画素の画素電極118に印加される実効電圧値は  $V3$  となる。従って、当該画素の透過率は、階調データ(000011)に対応して4.76%となる。

【0098】さらに、ある画素の階調データ  $D0 \sim D5$  が(111111)であるとき、図7に示される変換内容に従う結果、当該画素の画素電極118には、図9に示されるように、サブフィールド  $Sf0 \sim Sf7$  においては電圧  $V_L$  の  $V_{on}$  が、以降のサブフィールド  $Sf8 \sim Sf14$  においては電圧  $V_H$  の  $V_{on}$  が、それぞれ書込まれる。従って、当該画素の透過率は、階調データ



(111111)に対応して100%となる。なお、他の階調データについても同様に、階調データD0～D5は透過率に対応している。

【0099】一方、交流化駆動信号L COMがHレベルである場合に、Lレベルの場合と反転したレベルが画素電極118に印加される。このため、交流化駆動信号L COMがHレベルの場合に各液晶層の印加電圧は、交流化駆動信号L COMがLレベルの場合の印加電圧とは極性を反転したものであって、かつ、その絶対値は等しいものとなる。従って、液晶層に直流成分が印加される事態が回避される結果、液晶105の劣化が防止されることになる。

【0100】このような実施形態に係る電気光学装置によれば、1フレーム(1f)を、15個のサブフィールドSf0～Sf14に分割し、各サブフィールド毎に、画素をオンするVonの電圧をVL、VHの2値によって重み付けを行って、1フレームにおける実効電圧値を設定している。これにより、データ線114に供給されるデータ信号d1～dnは、デジタル信号であるため、駆動回路などの周辺回路においては、高精度のD/A変換回路やオペアンプなどのような、アナログ信号を処理するための回路は不要となる。このため、回路構成が大幅に簡略化されるので、装置全体のコストを低く抑えることが可能となる。

【0101】また、消費電力の低減も可能になる。

【0102】また、データ線114に各々供給されるデータ信号d1～dnはデジタル信号であるため、素子特性や配線抵抗などの不均一性に起因する表示ムラが原理的に発生しない。このため、本実施形態に係る電気光学装置によれば、高品位かつ高精細な階調表示が可能となる。

【0103】さらに、2値信号Dsは、1フレームを15個のサブフィールドSf0～Sf14に分割し、6ビットの階調データD0～D5に基づいてサブフィールドSf0～Sf14の電圧をV0、VL、VHによって重み付けをするようにしているから、サブフィールドSf0～Sf14のうち、比較的時間の短いサブフィールドにおいても書込時間を十分に確保することができ、各画素110にデータ信号を確実に書込むことができ、当該電気光学装置による階調表示を高精度に行うことができる。

【0104】さらにまた、サブフィールドSf0～Sf14における画素110への書込みは、スタートパルスDYの1ショットに対して行っているから、図2に示すトランジスタ116をサブフィールドのうち立ち上がり時のみオン状態としている。これにより、交流化駆動信号L COMがレベル反転する場合には、トランジスタ116はオフ状態になっている。このため、蓄積容量119に蓄積された電荷は、反転した信号による影響を受けることなく、交流化駆動信号L COMのレベル反転に拘

わらず、次の書込みが行われるまでデータを保持することができる。

【0105】なお、上述した実施形態にあつては、交流化駆動信号L COMを1フレームの周期でレベル反転することとしたが、本発明は、これに限られず、例えば、2フレーム以上の周期でレベル反転する構成としても良い。ただし、上述した実施形態において、データ変換回路300は、スタートパルスDYをカウントすると共に、当該カウント結果を交流化駆動信号L COMの遷移によってリセットすることで、現状のサブフィールドを認識する構成としたので、交流化駆動信号L COMを2フレームの周期でレベル反転する場合には、フレームを規定するために何らかの信号を与える必要が生じる。

【0106】＜応用形態①＞上記実施形態では、図2(a)または(b)に示すように、画素電極118に対する印加電圧を液晶容量および蓄積容量119によって保持する構成の画素を採用していた。これに対し、本応用形態①では、画素自体に1ビットのデジタル信号を記憶するメモリと、このメモリに記憶されたデジタル信号に応じて電圧VonまたはVoffを選択して画素電極に印加する回路とが設けられている。

【0107】ここで、図10は応用形態①による電気光学装置の構成を示すブロック図、図11は画素の構成を示す回路図、図12はデータ線駆動回路の構成を示すブロック図、図13は電圧切換回路の一態様を示す回路図をそれぞれ示している。なお、本応用形態①では、前述した実施形態と同一の構成要素には同一の符号を付し、その説明を省略するものとする。

【0108】図10に示すように、素子基板上における表示領域101aには、例えばm本の走査線112がX(行)方向に延在して形成され、n本のデータ線114a、114bがY(列)方向に沿って延在して形成され、さらにm本のVon線113aとVoff線113bがX(行)方向に延在して形成されている。そして、画素120は、走査線112と一対のデータ線114a、114bとの各交差に対応して設けられて、マトリクス状に配列されている。なお、図11に示す画素210は、i行j列に配置したものです。

【0109】また、各データ線114aとデータ線114bとの間にはインバータ150がそれぞれ接続され、一方のデータ線114aにはデータ信号djが他方のデータ線114bにはレベルを反転したデータ信号/djが入力される。さらに、各Von線113aには、走査線駆動回路130から出力される走査信号Giを受けて電圧Vonの電圧値をVH、VLに設定する電圧切換回路160が各々接続されている。

【0110】なお、応用形態①では、説明の便宜上、走査線112の総本数をm本とし、データ線114a、114bの総本数をn本として(m、nはそれぞれ2以上の整数)、m行×n列のマトリクス型表示装置として説

明するが、本発明をこれに限定する趣旨ではない。

【0111】次に、画素120の具体的な構成としては、図11に示すように、インバータ121および122によって、一方の出力端子が他方の入力端子に接続することにより、全体として1ビットのメモリを構成している。

【0112】トランジスタ116aおよび116bは、この1ビットのメモリに対して書込みを行うときにオン状態とされるスイッチングトランジスタであり、各々のドレインはインバータ121および122の各出力端子に接続され、各々のゲートは走査信号Giを供給する走査線112に接続されている。

【0113】上記実施形態では、各画素には1本のデータ線を介してデータ信号が送られてきた。これに対し、本応用形態①では、2本のデータ線114aおよび114bが各画素に対して配線されており、データ線114aにはトランジスタ116aのソースが接続され、データ線114bにはトランジスタ116bのソースが接続されている。そして、データ線114aには、後述するデータ線駆動回路170からデータ信号dj (j=1~n) がそのまま出力され、データ線114bにはこの信号djをレベル反転した信号が出力される。これらの各データ線上の信号は、トランジスタ116aおよび116bを介してインバータ121および122からなるメモリに与えられ、このメモリに書込まれる。トランスミッションゲート123は、入力端が電圧Vonを供給するVon線113aに接続されており、出力端が画素電極118に接続されている。また、トランスミッションゲート124は、入力端が電圧Voffを供給するVoff線113bに接続されており、出力端が画素電極118に接続されている。これらのトランスミッションゲート123および124は、いずれもHレベルのゲート信号が与えられることによりオンになるゲートであり、これらには上記メモリにおけるインバータ121および122の各出力信号がゲート信号として供給される。

【0114】さらに、データ線駆動回路170は、図12に示すように、実施形態で述べたデータ線駆動回路140のうち、電圧選択回路1440を除いたXシフトレジスタ1410と、第1のラッチ回路1420と、第2のラッチ回路1430とによって構成されている。そして、第2のラッチ1430からはデータ線114に各データ信号d1~dnを供給する。ここで、データ信号djは、i列目の信号であり、HレベルのときにはVC

C、Lレベルのときには0Vとなっている。

【0115】一方、電圧切換回路160は、図13に示すような回路で構成され、交流化駆動信号LCOMを受けて、このLCOMのH/Lに応じた電圧VH、VLを発生する基準電圧発生回路161と、サブフィールドSf0~Sf7においてHレベルとなる走査信号Giの入力があるときにセット信号を出力するアンドゲート16

2と、サブフィールドSf8~Sf14においてHレベルとなる走査信号Giの入力があるときにリセット信号を出力するアンドゲート163と、アンドゲート162の出力がS端子に接続され、アンドゲート163がR端子に接続されたフリップフロップ回路164と、該フリップフロップ回路164の出力信号を受けて前記基準電圧発生回路161から出力される電圧VH、VLを選択するスイッチング素子165とによって構成されている。

10 【0116】これにより、電圧切換回路160は、サブフィールドSf0~Sf7のときには電圧VLをVonとして出力し、サブフィールドSf8~Sf14のときには電圧VHをVonとして出力するものである。

【0117】以下、この画素120の動作について説明するに、本応用形態①においても、実施形態の図9に示したような階調データに対応した信号を画素電極118に書き込むものとする。

【0118】走査線112にはサブフィールド毎にHレベルの走査信号Giが出力され、トランジスタ116aおよび116bがオン状態となっているときに、電圧の印加を指示するHレベルの信号djおよびそのレベルを反転したLレベルの信号がデータ線114aおよび114bに出力されたとする。この場合、インバータ121の出力信号がLレベル、インバータ122の出力信号がHレベルとなるため、トランスミッションゲート124のみがオン状態となり、このトランスミッションゲート124を介して電圧Vonが画素電極118に印加される。

【0119】この際、サブフィールドがSf0~Sf7の場合には、前述した電圧切換回路160によってVon線113aにかかる電圧はVLとなっているから、画素電極118には電圧VLが書き込まれる。

【0120】一方、サブフィールドがSf8~Sf14の場合には、Von線113aにかかる電圧はVHとなるため、画素電極118には電圧VHが書き込まれる。

【0121】また、走査線112に対する走査信号GiがLレベルになると、トランジスタ116aおよび116bはオフ状態となり、インバータ121および122はそれ以前の出力信号レベルをそのまま維持する。この間、インバータ122の出力信号のみがHレベルとなるため、トランスミッションゲート124を介して電圧VHが画素電極118に印加され続けることとなる。

【0122】その後、走査線112に対する走査信号Giが再びHレベルとなり、トランジスタ116aおよび116bがオン状態となっているときに、電圧の印加を指示するLレベルの信号djおよびそのレベルを反転したHレベルの信号がデータ線114aおよび114bに出力されたとする。この場合、インバータ121の出力信号がHレベル、インバータ122の出力信号がLレベルとなるため、トランスミッションゲート123のみが

オン状態となり、このトランスマッションゲート123を介して電圧Voff (LCOM) が画素電極118に印加される。

【0123】そして、走査線112に対する走査信号GiがLレベルになると、上述したように、インバータ121および122はそれ以前の出力信号レベルをそのまま維持し、トランスマッションゲート123を介して電圧Voffが画素電極118に印加され続けることとなる。

【0124】しかも、図13に示す電圧切換回路160では、交流化駆動信号LCOMのレベル反転に応じて電圧Vonも反転した電圧VH、VLを出力するから、対向電極108が交流化駆動信号LCOMによってレベル反転した場合であっても、LCOMを基準として電圧差VH、VLとなる信号を出力する。

【0125】かくして、応用形態①によれば、このようなメモリ内蔵型の画素を採用しているため、画素電極に対する印加電圧がリークによって揮発するといった事態が生じず、上記実施形態におけるサブフィールド単位での各画素の駆動を高精度で実施することができる。

【0126】＜応用形態②＞前述した実施形態においては、各サブフィールドのうち、最も短い期間を有するサブフィールドをより長くすることにより、信号の書込みをより確実に行うことができる。このため、サブフィールドによって設定されるVon時の電圧を3値に設定したものを図14および図15に示す。

【0127】ここで、画素110における液晶層への印加電圧について検討する。なお、図14はデータ変換回路の階調データの変換内容を示すテーブルであり、図15は、階調データと、画素110における画素電極118への印加波形を示すタイミングチャートである。

【0128】応用形態②に係る電気光学装置では、第1に、液晶層に印加される電圧を、V0 (=0)、VH (=V63)、VLH (=V55)、VLL (=V8) の3値 (V0を除く) とする構成を採用する。この構成において、1フレームの全期間に亘って液晶層に実効電圧値V0が印加されれば透過率は0%となり、実効電圧値VCCが印加されれば透過率は100%となる。また、1フレームのうち、液晶層に電圧V0を印加する期間と、電圧VHを印加する期間と、電圧VLHを印加する期間と、電圧VLLを印加する期間との比率を制御して、液晶層に印加される実効電圧値がV0～V63となるように構成すれば、当該電圧に対応する64階調の表示が可能となる。

【0129】そこで、本応用形態②に係る電気光学装置では、第2に、液晶層に電圧V0、VH、VLH、VLLを印加する期間に区切るために、1フレーム (1f) を例えば10個の期間に分割する。この分割した10個の期間を便宜的にサブフィールドSf0～Sf9と称することにする。

【0130】さらに、本応用形態②に係る電気光学装置では、第3に、実施形態で述べた電圧切換回路1450とほぼ同様の構成による回路によって、サブフィールドSf0～Sf3においては電圧VLLのVonを出力し、サブフィールドSf4～Sf6においては電圧VLHのVonを出力し、サブフィールドSf7～Sf9においては電圧VHのVonを出力する。そして、電圧Vonには、サブフィールド毎に電圧VH、VLH、VLLによる重み付けがされている。

【0131】例えば、階調データが (000001) である場合、当該画素の透過率を  $1.59 (=1/63)$  % とすべきであり、そのためには実効電圧値V1を画素に対して印加する必要がある。そこで、本実施形態では、当該画素の画素電極118および対向電極108間に印加される電圧が、サブフィールドSf0およびSf1においては  $Von = VLL$  となり、他のサブフィールドにおいては  $Voff = V0 (=0V)$  となるように、画素電極118に対する電圧の印加を行う。ここで、画素に印加される実効電圧値は、電圧瞬時値の2乗を1周期 (1フレーム) に亘って平均化した平方根によって求められるから、サブフィールドSf0およびSf1の長さを、1フレームに対して  $(V1/VLL)^2$  を乗じた時間とすれば、階調データ (000001) に対応した実効電圧値V1を画素に印加することができる。

【0132】また、階調データが (000010) である場合、当該画素の透過率を  $3.17 (=2/63)$  % とすべきであり、そのためには実効電圧値V2を画素に対して印加する必要がある。そこで、本実施形態では、当該画素の画素電極118および対向電極108間に印加される電圧が、サブフィールドSf0、Sf1およびSf2においては  $Von = VLL$  となり、他のサブフィールドにおいては  $Voff = V0 (0V)$  となるように、画素電極118に対する電圧の印加を行う。ここで、画素に印加される実効電圧値は、電圧瞬時値の2乗を1周期 (1フレーム) に亘って平均化した平方根によって求められるから、サブフィールドSf0～Sf2の長さを、1フレームに対して  $(V2/VLL)^2$  を乗じた時間とすれば、階調データ (000010) に対応した実効電圧値V2を画素に印加することができる。

【0133】同様に、階調データが (000011) である場合、当該画素の透過率を  $4.76 (=3/63)$  % とする。この場合、サブフィールドSf0～Sf3においては  $Von = VLL$  となり、他のサブフィールドにおいては  $Voff = V0 (0V)$  となるように、画素電極118に対する電圧の印加を行う。ここで、画素に印加される実効電圧値は、電圧瞬時値の2乗を1周期 (1フレーム) に亘って平均化した平方根によって求められるから、サブフィールドSf0～Sf3の長さを、1フレームに対して  $(V3/VLL)^2$  を乗じた時間とすれば、階調データ (000011) に対応した実効電圧値

V3を画素に印加することができる。

【0134】さらに、階調データが(011000)である場合、当該画素の透過率を38.1(=24/63)%とすべきであり、そのためには実効電圧値V24を画素に対して印加する必要がある。そこで、本実施形態では、当該画素の画素電極118および対向電極108間に印加される電圧が、サブフィールドSf0において $V_{on}=V_{LL}$ となり、サブフィールドSf4~Sf5において $V_{on}=V_{LH}$ となり、サブフィールドSf7において $V_{on}=V_H$ となり、残りのサブフィールドにおいて $V_{off}=V_0(=0V)$ となるように、画素電極118に対する電圧の印加を行う。このように画素電極118に対して電圧を印加することにより、1フレームに対して階調データ(011000)に対応した実効電圧値V24を画素に印加することができる。

【0135】以下、同様にして、実効電圧値に対する信号がそれぞれ設定される。

【0136】このようにして、フレーム1fを10個のサブフィールドSf0~Sf9の期間に分割し、階調データに応じて書き込みを行う構成とすると、当該画素の画素電極118に印加される電圧は、 $V_{off}(V_0)$ と $V_{on}(V_H$ および $V_{LL}$ 、 $V_{LH}$ の3値)を用いて各透過率に対応する64階調の表示が可能となる。なお、図15に図示したサブフィールドSf1~Sf9の期間は、図面上、ほぼ等しい幅に図示しているが、個々にその長さが異なるものであってもよい。

【0137】このように応用形態②では、前記実施形態によるサブフィールドの期間よりも最小となる期間を長く確保することができ、2値信号による画素電極118への書き込みをより確実に行うことができる。

【0138】〈応用形態③〉図16は、本応用形態③において対向基板に対する印加電圧LCOM、画素電極に対する印加電圧を、サブフィールド単位で示したタイミングチャートである。

【0139】上記実施形態および上記各応用形態においては、対向基板に対する印加電圧LCOMを一定周期でレベル反転させ、これに合わせて、画素をオンにする電圧のレベル反転を行うことで、液晶層に対する印加電圧の極性を周期的に反転させた。

【0140】これに対し、本応用形態③では、対向基板に対しては、一定レベルの直流電圧となるLCOMを印加し、このLCOMを基準として、画素をオンにする電圧 $V_{on}$ のレベルを一定周期毎に反転させる。

【0141】即ち、本応用形態③では、図16に例示するように、あるフレーム1fでは、階調データに応じた個数のサブフィールドにおいて、直流レベルLCOMよりも低い電圧 $V_{on-}$ を画素をオンにする電圧として画素電極に印加し、このフレーム1fの次のフレーム2fでは、直流レベルLCOMを基準として電圧 $V_{on-}$ ( $V_{L-}$ 、 $V_{H-}$ )のレベル反転を行った電圧 $V_{on+}$

( $V_{L+}$ 、 $V_{H+}$ )を画素をオンにする電圧として画素電極に印加するのである。

【0142】このような交流駆動を行うためには、上記実施形態または各応用形態(特に応用形態①)に対し、次のような変形を加える必要がある。

【0143】a. 上記実施形態のように前掲図2(a)または(b)に示す構成の画素を有する電気光学装置の場合

この場合、あるフレームにおいては、画素をオンにする電圧として $V_{on-}$ を、画素をオフにする電圧として $V_{off}$ を各データ線114に出力し、その次のフレームでは、画素をオンにする電圧として $V_{on+}$ を、画素をオフにする電圧として $V_{off}$ を各データ線114に出力する、という具合に、画素をオンにする電圧のレベルを1フレーム周期で反転するようデータ線駆動回路140の出力部の構成を変更する。

【0144】b. 上記応用形態①のように前掲図11に示す画素を有する電気光学装置の場合

この場合、あるフレームでは電圧 $V_{on}$ として $V_{on-}$ を、次のフレームでは電圧 $V_{on}$ として $V_{on+}$ を、という具合に、画素をオンにする電圧 $V_{on}$ をフレーム毎に切り換えるように構成する。

【0145】本応用形態③によれば、上記実施形態および各応用形態と同様に、液晶層に対する印加電圧を交流化することができるので、液晶層に対する印加電圧の直流成分に起因した画質の劣化を防止することができる。

【0146】〈応用形態④〉応用形態④による電気光学装置においては、隣接する画素で、サブフィールドの時間軸上での配置を反転させたもので、フレーム毎にもサブフィールドの時間軸上での配置を反転させている。このとき、階調データと、画素110における画素電極118への印加波形を示すタイミングチャートを図17に示す。なお、この2値信号は、前述した実施形態によるフレーム1fを15個のサブフィールドSf0~Sf14に分割し、サブフィールドSf0~Sf14毎に電圧 $V_H$ 、 $V_L$ による重み付けを行ったものである。

【0147】ここで、図17の上段の4行は、例えば画素110( $P_{ij}$ )に印加される波形、下段の3行は、画素( $P_{ij+1}$ )に印加される波形を例示している。

【0148】このように、隣接する画素で、サブフィールドの時間軸上での配置を反転し、画素( $P_{ij}$ )をSf14~Sf0の順に配置し、画素( $P_{ij+1}$ )をSf0~Sf14の順に配置し、フレームの切り替わり毎に、サブフィールドSf0~Sf14の配置を、切り替わり前はSf14~Sf0の順に配置し、切り替わり後はSf0~Sf14の順に配置する。これによって、画素110に対して印加される2値信号が隣接する画素で大きく変動するのを低減し、フリッカーを防止することができる。

【0149】尚、上記応用形態④では、フレーム毎にサブフィールドの配置を入換えているが、2フレーム毎や

3フレーム毎の入換えでも良い。

【0150】＜応用形態⑤＞一方、上述した実施形態では、64階調表示としたが、例えば、8階調表示、16階調表示、…のように他の階調表示度にも適用することができる。

【0151】しかしながら、駆動回路、特に、データ線駆動回路140におけるXシフトレジスタ1410は、実際には上限付近で動作しているので、このままでは、階調表示度を高めることができない。そこで、この点に改良を施した応用形態⑤について説明する。

【0152】図18は、この応用形態⑤に係る電気光学装置におけるデータ線駆動回路の構成を示すブロック図である。この図において、Xシフトレジスタ1412は、ラッチ信号LPをクロック信号CLXに基づいて転送する点においては、図3に示されるXシフトレジスタ1410と同様であるが、その段数が半分となっている点において、Xシフトレジスタ1410と相違している。即ち、 $n=2p$ を満たす整数 $p$ を想定すると、Xシフトレジスタ1412は、ラッチ信号S1、S2、…、Spを順次出力する構成となっている。

【0153】また、この応用形態⑤において2値信号は、左から数えて奇数本目のデータ線114への2値信号Ds1と、偶数本目のデータ線114への2値信号Ds2との2系統に分けられて供給される。さらに、第1のラッチ回路1422では、奇数本目のデータ線114に対応して2値信号Ds1をラッチするものと、それに続く偶数本目のデータ線114に対応して2値信号Ds2をラッチするものとが組となって、それぞれ同一のラッチ信号の立ち下がりで同時にラッチを行う構成となっている。

【0154】従って、このようなデータ線駆動回路140によれば、図19に示されるように、同一のラッチ信号S1、S2、S3、…によって同時に画素2個分の2値信号Ds1、Ds2がラッチされるので、クロック信号CLXの周波数を上記実施形態と同一に維持したまま、必要な水平走査期間を半分に短縮することができる。さらに、Xシフトレジスタ1412を構成する単位回路の段数は、データ線114の総本数に対応する

「n」から、その半分である「p」に削減される。このため、Xシフトレジスタ1412の構成を、Xシフトレジスタ1410（図3参照）と比較して簡略化することも可能となる。

【0155】一方、Xシフトレジスタ1412を構成する単位回路の段数が半分で済むということは、必要な水平走査期間を同じとするのであれば、クロック信号CLXを半分に低下させることができることを意味する。このため、水平走査期間を同じとするのであれば、動作周波数に起因して消費される電力を抑えることもできる。

【0156】なお、この応用形態⑤にあつては、ラッチ信号によって同時されるラッチを行う第1のラッチ回路1

422の個数を「2」としたが、「3」以上としても良いことは勿論である。この場合には、2値信号は、当該個数に応じた系統に分けられて供給されることになる。

【0157】＜応用形態⑥＞また、上述した実施形態においては、各サブフィールドにおける書込期間（1Va）で完了する。このため、あるサブフィールドにおいて、書込みが完了した後から次のサブフィールドが開始するまでの期間では、各画素の液晶層において書込まれた電圧の保持動作が行われるのみである。

【0158】一方、上記実施形態における駆動回路、特に、データ線駆動回路140には、非常に高周波数のクロック信号CLXが供給される。一般に、シフトレジスタには、クロック信号をゲートで入力するクロックドライバが極めて多数備えられるので、クロック信号CLXの供給源であるタイミング信号生成回路200からみると、Xシフトレジスタ1410（1412）は容量負荷となる。

【0159】従って、上述した保持動作が行われる期間において、クロック信号CLXを供給する構成では、容量負荷によって無駄に電力が消費される結果、消費電力の増大を招くことになる。そこで、この点に改良を施した応用形態⑥について説明する。

【0160】この応用形態⑥においては、クロック信号CLXがタイミング信号生成回路200からXシフトレジスタ1410（1412）に至るまでの途中に、図20に示されるクロック信号供給制御回路400が介挿される構成となっている。ここで、クロック信号供給制御回路400は、RSフリップフロップ402と、アンドゲート404とを備えている。このうち、RSフリップフロップ402は、セット入力端SにスタートパルスDYを入力すると共に、リセット入力端Rに走査信号Gmを入力するものである。また、アンドゲート404は、タイミング信号生成回路200から供給されるクロック信号CLXと、RSフリップフロップ402の出力端Qから出力される信号との論理積信号を求めて、これをデータ線駆動回路140におけるXシフトレジスタ1410（1412）へのクロック信号CLXとして供給するものである。

【0161】ここで、クロック信号供給制御回路400において、あるサブフィールドの最初においてスタートパルスDYが供給されると、RSフリップフロップ402がセットされるので、その出力端Qから出力される信号がHレベルとなる。このため、アンドゲート404が開くので、図21に示されるように、Xシフトレジスタ1410（1412）へのクロック信号CLXの供給が開始される。そして、データ線駆動回路140においては、この直後に供給されるラッチ信号LPを契機に、第1のラッチ回路1420（1422）による2値信号の点順次的なラッチが行われることとなる。

【0162】一方、スタートパルスDYによってクロック信号CLXの供給が開始された後、そのサブフィールドにおいて最後（上から数えてm本目）の走査線112を選択する走査信号Gmが供給されると、RSフリップフロップ402がリセットされるので、その出力端Qから出力される信号がLレベルとなる。このため、アンドゲート404が閉じるので、図20に示されるように、Xシフトレジスタ1410（1412）へのクロック信号CLXの供給が遮断される。ここで、走査信号Gmが供給される以前には、m本目の走査線112との交差に

対応する画素1行分の2値信号が、第1のラッチ回路1420（1422）によりラッチされているはずであるから、次のサブフィールドの開始まで、クロック信号CLXが遮断されても問題がない。なお、図20において、クロック信号CLXの周波数は、クロック信号CLYの周波数よりも圧倒的に高いので、クロック信号CLXのエンベロープのみを示している。

【0163】従って、このようなクロック信号供給制御回路400を設けると、クロック信号CLXが必要ときだけXシフトレジスタ1410（1412）に供給されるので、容量負荷により消費される電力をそれだけ抑えることが可能となる。また、Y側のクロック信号CLYにおいても同様なクロック信号供給制御回路を設けても良いが、クロック信号CLYは、X側のクロック信号CLXよりも周波数が圧倒的に低い。このため、Y側において、容量負荷により消費される電力は、X側と比較して、あまり問題にはならない。

【0164】<応用形態⑦>さらに、上述した実施形態にあっては、データ信号の電圧を、 $VH (=V63)$ 、 $VLH (=V55)$ として別途生成し、15個のサブフィールドの期間を設定したものとして述べたが、本発明はこれに限らず、電圧の重み付けを3値、4値…とすることもできる。

【0165】このとき、階調データが(000000)のときには、データ信号の実効電圧値を $V0$ 、階調データが(000001)のときには、実効電圧値を $V1$ 、階調データが(000010)のときには、実効電圧値を $V2$ 、…、階調データが(111111)のときには、実効電圧値を $V63$ となるように、2値信号の電圧とサブフィールドの期間とを設定すればよい。

【0166】さらに、本発明では、階調数を64としたが、本発明はこれに限らず、階調数を128、256、512、…に対応させることも可能である。

【0167】さらに、本発明では、各画素に印加される電圧は、トランジスタ116の特性、蓄積容量119や液晶の容量等によって、電圧がシフトする場合がある。このような場合には、対向電極110に印加する電圧LCOMを電圧のシフト量に応じてずらす場合もある。

【0168】<液晶装置の全体構成>次に、上述した実施形態や応用形態に係る電気光学装置の構造について、

図22および図23を参照して説明する。ここで、図22は、電気光学装置100の構成を示す平面図であり、図23は、図22におけるA-A'線の断面図である。

【0169】これらの図に示されるように、電気光学装置100は、画素電極118などが形成された素子基板101と、対向電極108などが形成された対向基板102とが、互いにシール材104によって一定の間隙を保って貼り合わせられると共に、この間隙に電気光学材料としての液晶105が挟持された構造となっている。

なお、実際には、シール材104には切欠部分があって、ここを介して液晶105が封入された後、封止材により封止されるが、各図においては省略されている。

【0170】ここで、素子基板101は、上述したように半導体基板であるため不透明である。このため、画素電極118は、アルミニウムなどの反射性金属から形成されて、電気光学装置100は、反射型として用いられることになる。これに対して、対向基板102は、ガラスなどから構成されるので透明である。

【0171】さて、素子基板101において、シール材104の内側かつ表示領域101aの外側領域には、遮光膜106が設けられている。この遮光膜106が形成される領域内のうち、領域130aには走査線駆動回路130が形成され、また、領域140aにはデータ線駆動回路140が形成されている。即ち、遮光膜106は、この領域に形成される駆動回路に光が入射するのを防止している。この遮光膜106には、対向電極108と共に、交流化駆動信号LCOMが印加される構成となっている。このため、遮光膜106が形成された領域では、液晶層への印加電圧がほぼゼロとなるので、画素電極118の電圧無印加状態と同じ表示状態となる。

【0172】また、素子基板101において、データ線駆動回路140が形成される領域140aの外側であって、シール材104を隔てた領域107には、複数の接続端子が形成されて、外部からの制御信号や電源などを入力する構成となっている。

【0173】一方、対向基板102の対向電極108は、基板貼合部分における4隅のうち、少なくとも1箇所において設けられた導通材（図示省略）によって、素子基板101における遮光膜106および接続端子と電気的な導通が図られている。即ち、交流化駆動信号LCOMは、素子基板101に設けられた接続端子を介して、遮光膜106に、さらに、導通材を介して対向電極108に、それぞれ印加される構成となっている。

【0174】ほかに、対向基板102には、電気光学装置100の用途に応じて、例えば、直視型であれば、第1に、ストライプ状や、モザイク状、トライアングル状等に配列したカラーフィルタが設けられ、第2に、例えば、金属材料や樹脂などからなる遮光膜（ブラックマトリクス）が設けられる。なお、色光変調の用途の場合には、例えば、後述するプロジェクタのライトバルブとし



て用いる場合には、カラーフィルタは形成されない。また、直視型の場合、電気光学装置 100 に光を対向基板 102 側から照射するフロントライトが必要に応じて設けられる。くわえて、素子基板 101 および対向基板 102 の電極形成面には、それぞれ所定の方にラビング処理された配向膜（図示省略）などが設けられて、電圧無印加状態における液晶分子の配向方向を規定する一方、対向基板 102 側には、配向方向に応じた偏光子（図示省略）が設けられる。ただし、液晶 105 として、高分子中に微小粒として分散させた高分子分散型液晶を用いれば、前述の配向膜や偏光子などが不要となる結果、光利用効率が高まるので、高輝度化や低消費電力化などの点において有利である。

【0175】＜その他＞また、実施形態においては、電気光学装置を構成する素子基板 101 を半導体基板とし、ここに、画素電極 118 に接続されるトランジスタ 116 や、駆動回路の構成素子などを、MOS 型 FET で形成したが、本発明は、これに限られない。例えば、素子基板 101 を、ガラスや石英などの非晶質基板とし、ここに半導体薄膜を堆積して TFT を形成する構成としても良い。このように TFT を用いると、素子基板 101 として透明基板を用いることができる。

【0176】さらに、電気光学材料としては、液晶のほか、エレクトロルミネッセンス素子などを用いて、その電気光学効果により表示を行う装置に適用可能である。即ち、本発明は、上述した構成と類似の構成を有する電気光学装置、特に、オンまたはオフの 2 値的な表示を行う画素を用いて、階調表示を行う電気光学装置のすべてに適用可能である。

【0177】＜電子機器＞次に、上述した液晶装置を具体的な電子機器に用いた例のいくつかについて説明する。

【0178】＜その 1：プロジェクタ＞まず、実施形態に係る電気光学装置をライトバルブとして用いたプロジェクタについて説明する。図 24 は、このプロジェクタの構成を示す平面図である。この図に示されるように、プロジェクタ 1100 内部には、偏光照明装置 1110 がシステム光軸 PL に沿って配置している。この偏光照明装置 1110 において、ランプ 1112 からの出射光は、リフレクタ 1114 による反射で略平行な光束となって、第 1 のインテグレートレンズ 1120 に入射する。これにより、ランプ 1112 からの出射光は、複数の中間光束に分割される。この分割された中間光束は、第 2 のインテグレートレンズを光入射側に有する偏光変換素子 1130 によって、偏光方向がほぼ揃った一種類の偏光光束（s 偏光光束）に変換されて、偏光照明装置 1110 から出射されることとなる。

【0179】さて、偏光照明装置 1110 から出射された s 偏光光束は、偏光ビームスプリッタ 1140 の s 偏光光束反射面 1141 によって反射される。この反射光

束のうち、青色光（B）の光束がダイクロイックミラー 1151 の青色光反射層にて反射され、反射型の電気光学装置 100B によって変調される。また、ダイクロイックミラー 1151 の青色光反射層を透過した光束のうち、赤色光（R）の光束は、ダイクロイックミラー 1152 の赤色光反射層にて反射され、反射型の液電気光学装置 100R によって変調される。一方、ダイクロイックミラー 1151 の青色光反射層を透過した光束のうち、緑色光（G）の光束は、ダイクロイックミラー 1152 の赤色光反射層を透過して、反射型の電気光学装置 100G によって変調される。

【0180】このようにして、電気光学装置 100R、100G、100B によってそれぞれ色光変調された赤色、緑色、青色の光は、ダイクロイックミラー 1152、1151、偏光ビームスプリッタ 1140 によって順次合成された後、投写光学系 1160 によって、スクリーン 1170 に投写されることとなる。なお、電気光学装置 100R、100B および 100G には、ダイクロイックミラー 1151、1152 によって、R、G、B の各原色に対応する光束が入射するので、カラーフィルタは必要ない。

【0181】＜その 2：モバイル型コンピュータ＞次に、上記電気光学装置を、モバイル型のパーソナルコンピュータに適用した例について説明する。図 25 は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ 1200 は、キーボード 1202 を備えた本体部 1204 と、表示ユニット 1206 とから構成されている。この表示ユニット 1206 は、先に述べた電気光学装置 100 の前面にフロントライトを付加することにより構成されている。

【0182】なお、この構成では、電気光学装置 100 を反射直視型として用いることになるので、画素電極 118 において、反射光が様々な方向に散乱するように、凹凸が形成される構成が望ましい。

【0183】＜その 3：携帯電話＞さらに、上記電気光学装置を、携帯電話に適用した例について説明する。図 26 は、この携帯電話の構成を示す斜視図である。図において、携帯電話 1300 は、複数の操作ボタン 1302 のほか、受話口 1304、送話口 1306 と共に、電気光学装置 100 を備えるものである。この電気光学装置 100 にも、必要に応じてその前面にフロントライトが設けられる。また、この構成でも、電気光学装置 100 が反射直視型として用いられることになるので、画素電極 118 に凹凸が形成される構成が望ましい。

【0184】なお、電子機器としては、図 24～図 26 を参照して説明した他にも、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS 端末、タッチパネルを備えた機器等などが挙げられ



る。そして、これらの各種電子機器に対して、実施形態や応用形態に係る電気光学装置が適用可能なことは言うまでもない。

#### 【0185】

【発明の効果】以上説明したように本発明によれば、データ線に印加されるデータ信号がデジタル化されて、高品位な階調表示が可能となる。

【0186】しかも、画素をオンにする電圧の電圧を2種類以上備え、画素の階調レベルに応じて、前記サブフィールド毎に電圧による重み付けをしているから、例えば階調表示を64階調にした場合でも、サブフィールドの期間を比較的長くすることができ、データ信号による画素への書込みを確実に行うことができる。

【0187】また、低消費電力化も実現できる。

#### 【図面の簡単な説明】

【図1】 本発明の実施形態に係る電気光学装置の電気的な構成を示すブロック図である。

【図2】 (a) および (b) は、それぞれ同電気光学装置の画素の一態様を示すブロック図である。

【図3】 同電気光学装置におけるデータ線駆動回路の構成を示すブロック図である。

【図4】 同電気光学装置における電圧切換回路の構成を示すブロック図である。

【図5】 同電気光学装置における電圧一透過率特性を示す説明図である。

【図6】 同電気光学装置におけるデータ変換回路の構成を示すブロック図である。

【図7】 同電気光学装置におけるデータ変換回路の階調データの変換内容を示すテーブルである。

【図8】 同電気光学装置の動作を示すタイミングチャートである。

【図9】 同電気光学装置において対向基板に印加される電圧、および画素電極に印加される電圧を、フィールド単位で示すタイミングチャートである。

【図10】 応用形態①に係る電気光学装置の電気的な構成を示すブロック図である。

【図11】 同応用形態に係る画素の一態様を示すブロック図である。

【図12】 同応用形態に係るデータ線駆動回路の構成を示すブロック図である。

【図13】 同応用形態に係る電圧切換回路の構成を示すブロック図である。

【図14】 応用形態②に係る電気光学装置におけるデータ変換回路の階調データの変換内容を示すテーブルである。

【図15】 応用形態②に係る電気光学装置において対向基板に印加される電圧、および画素電極に印加される電圧を、フィールド単位で示すタイミングチャートである。

【図16】 応用形態③に係る電気光学装置において対

向基板に印加される電圧、および画素電極に印加される電圧を、フィールド単位で示すタイミングチャートである。

【図17】 応用形態④に係る電気光学装置において対向基板に印加される電圧、および画素電極に印加される電圧を、フィールド単位で示すタイミングチャートである。

【図18】 応用形態⑤に係る電気光学装置におけるデータ線駆動回路の応用形態を示すブロック図である。

【図19】 同応用形態に係るデータ線駆動回路の動作を示すタイミングチャートである。

【図20】 応用形態⑥に係る電気光学装置の応用形態におけるクロック信号供給制御回路の構成を示すブロック図である。

【図21】 同応用形態に係るクロック信号供給制御回路の動作を示すタイミングチャートである。

【図22】 同電気光学装置の構造を示す平面図である。

【図23】 同電気光学装置の構造を示す断面図である。

【図24】 同電気光学装置を適用した電子機器の一例たるプロジェクタの構成を示す断面図である。

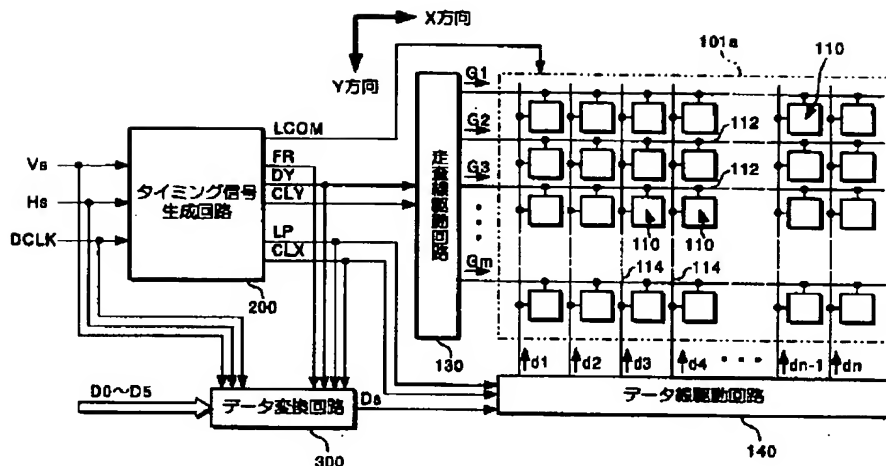
【図25】 同電気光学装置を適用した電子機器の一例たるパーソナルコンピュータの構成を示す斜視図である。

【図26】 同電気光学装置を適用した電子機器の一例たる携帯電話の構成を示す斜視図である。

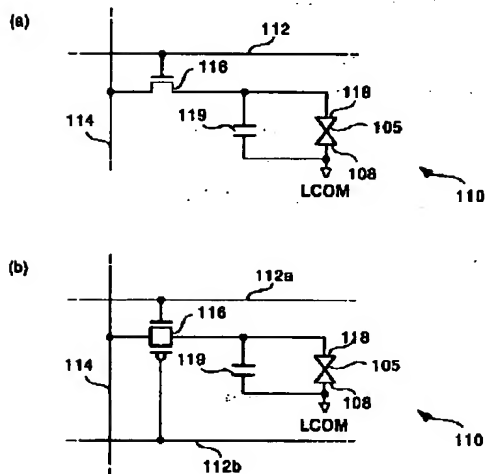
#### 【符号の説明】

- 100……電気光学装置
- 101……素子基板
- 101a……表示領域
- 102……対向基板
- 105……液晶（電気光学材料）
- 108……対向電極
- 112……走査線
- 114……データ線
- 116……トランジスタ
- 118……画素電極
- 119……蓄積容量
- 130……走査線駆動回路
- 140……データ線駆動回路
- 1410……Xシフトレジスタ
- 1420……第1のラッチ回路
- 1430……第2のラッチ回路
- 1440……電圧選択回路
- 1450, 160……電圧切換回路
- 200……タイミング信号生成回路
- 300……データ変換回路
- 400……クロック信号供給制御回路

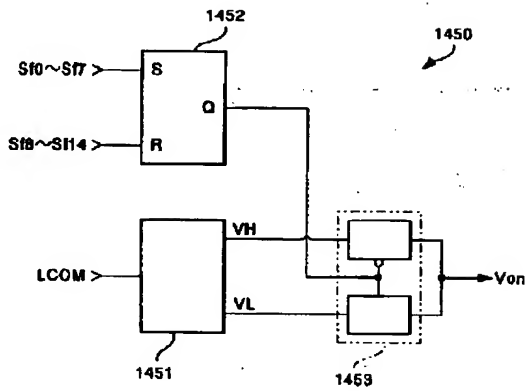
【図 1】



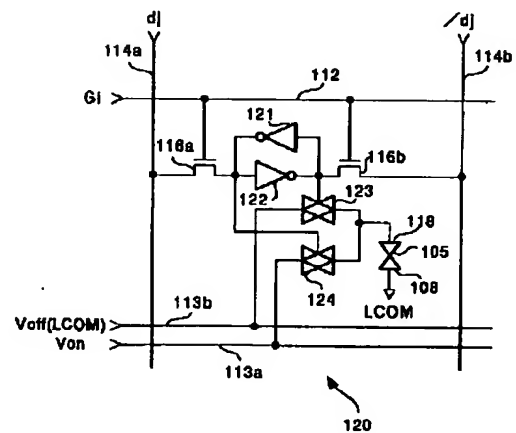
【図 2】



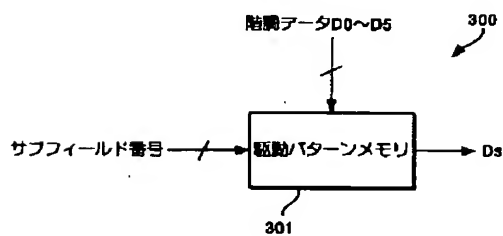
【図 4】



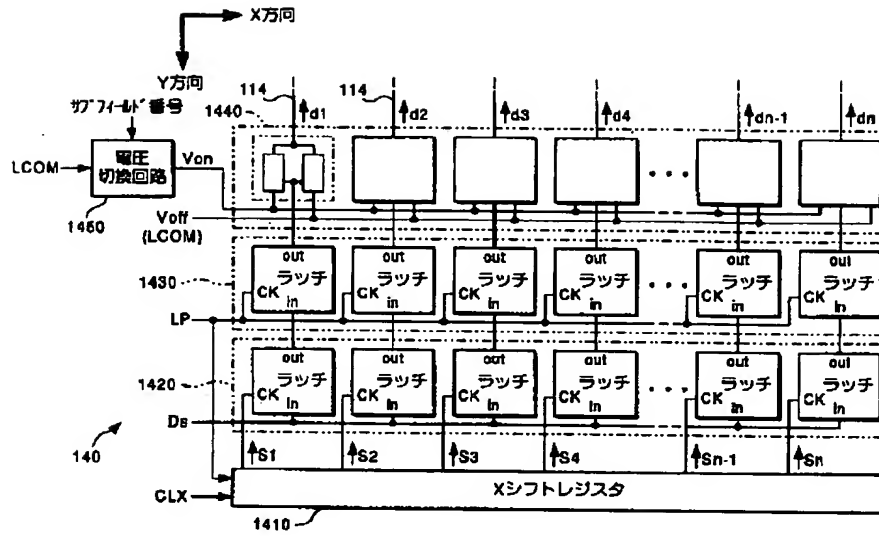
【図 11】



【図 6】

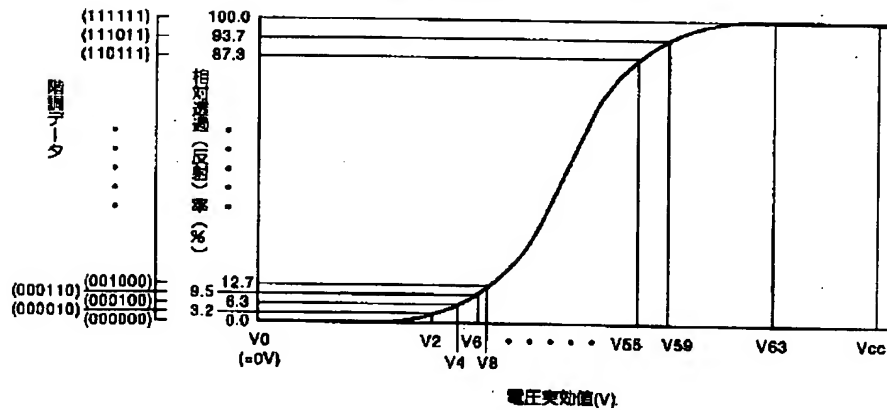


【図3】

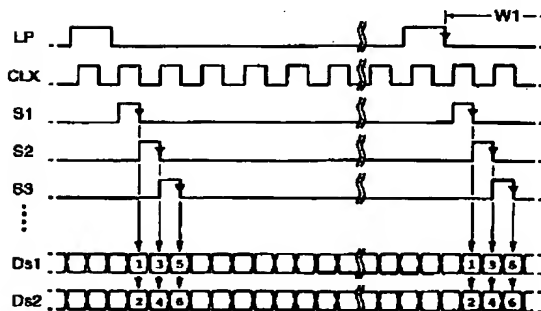


【図5】

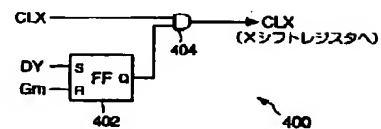
電圧/透過率特性 (ノーマリブラックモード)



【図19】

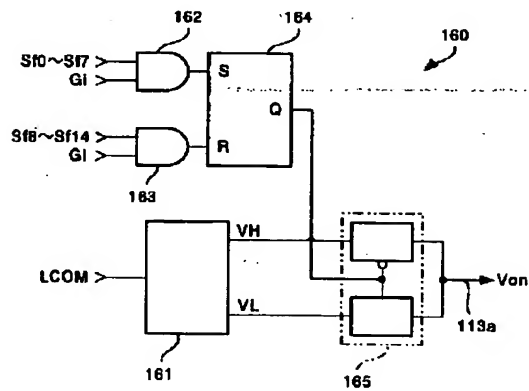


【図20】



【图 26】

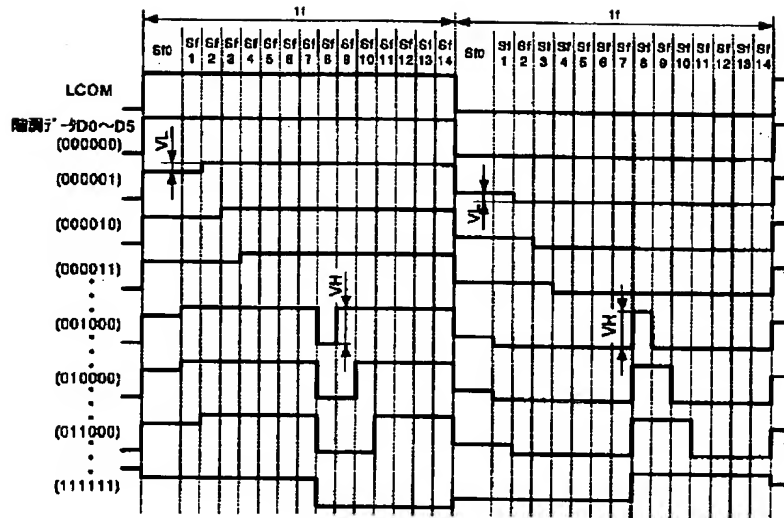
【図 13】



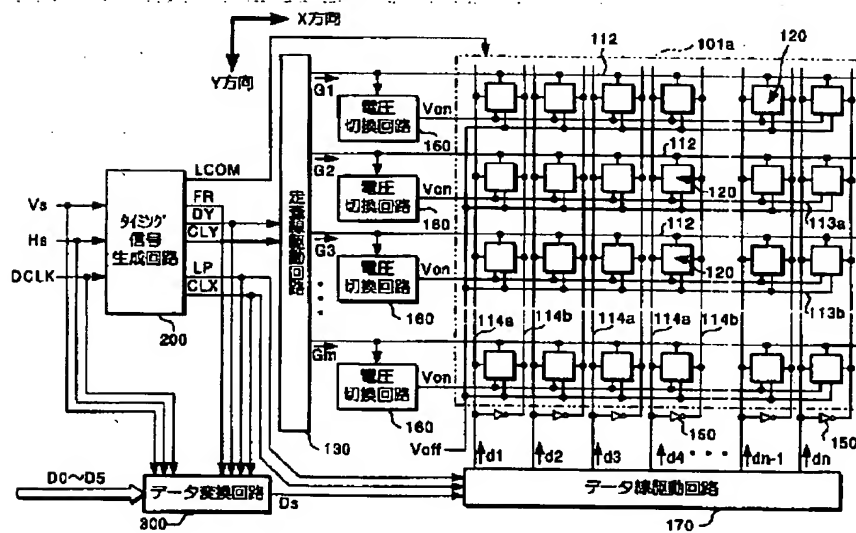
【図 14】

[illegible]

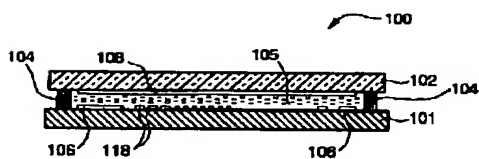
【図9】



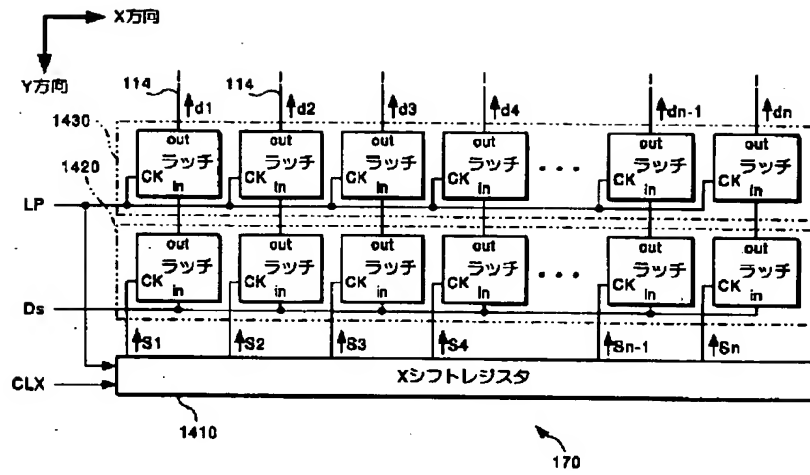
【図10】



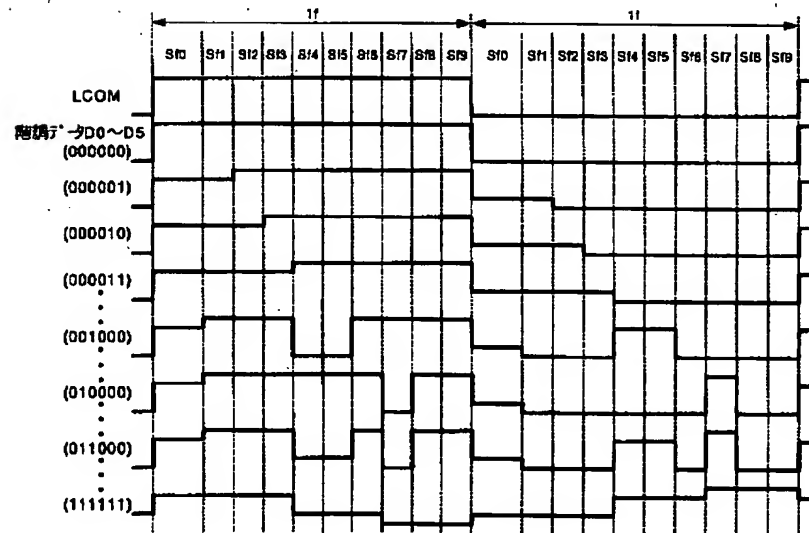
【図23】



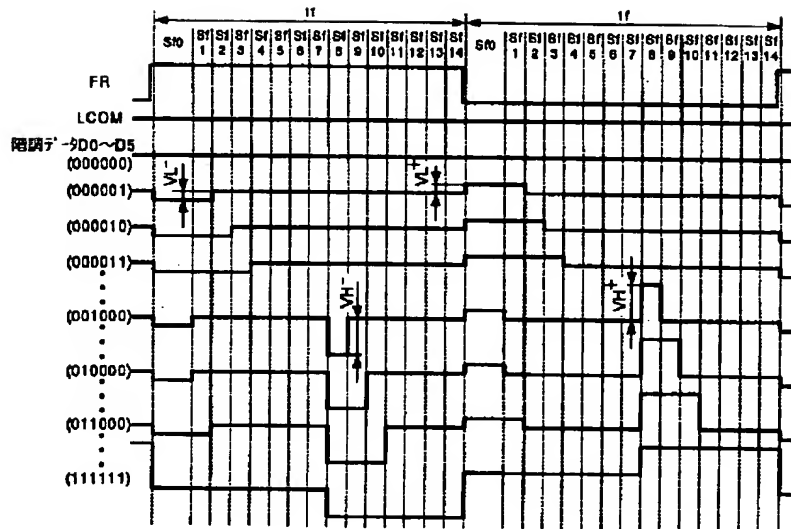
【図12】



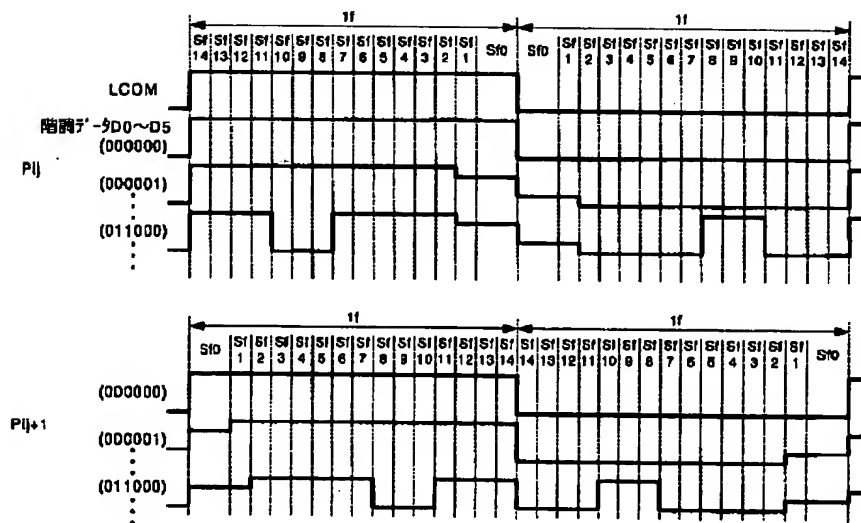
【図15】



【図 16】

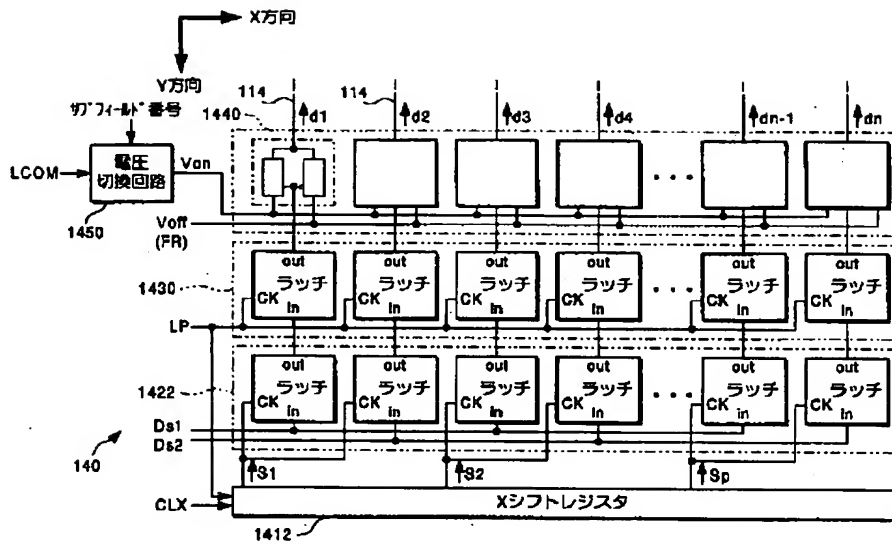


【図 17】

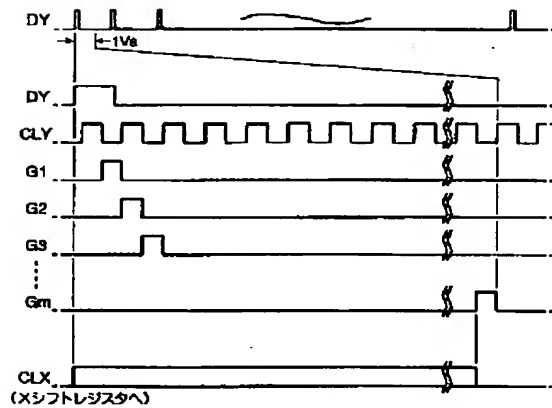




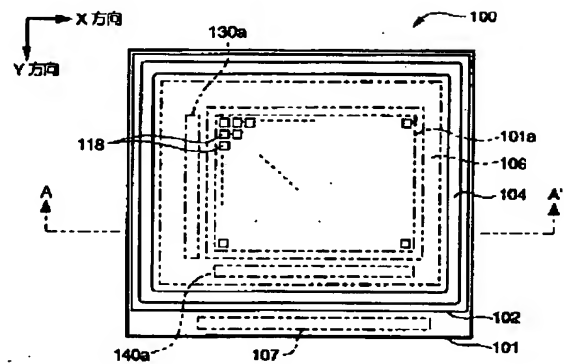
【図 18】



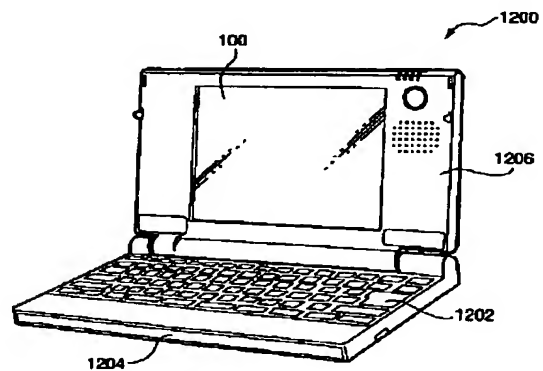
【図 21】



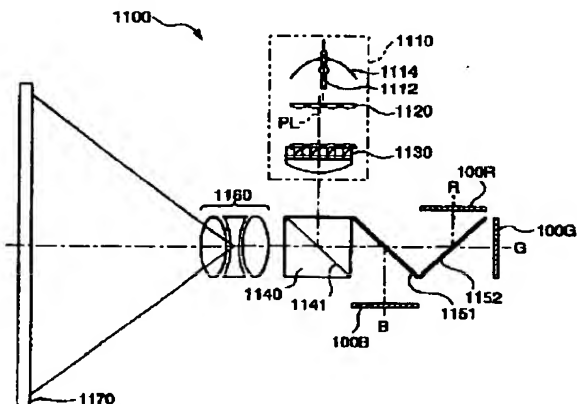
【図 22】



【図 25】



【図 24】



フロントページの続き

Fターム(参考) 2H093 NA16 NA33 NA53 NA55 NC09  
NC26 NC28 NC34 NC35 NC40  
NC49 ND06 ND09 NG02 NH14  
5C006 AA01 AA02 AA03 AA22 AB05  
AC02 AC24 AC28 AF44 AF51  
BB16 BC03 BC06 BC12 BF03  
BF04 BF24 BF26 BF27 EC01  
EC05 EC11 EC13 FA56  
5C080 AA10 BB05 CC01 CC03 DD30  
EE29 FF09 GG05 GG08 GG12  
JJ01 JJ02 JJ03 JJ04 JJ05  
JJ06 KK02 KK07 KK43